

近漏電流功率級之類比數位轉換器

A Near Leakage Current Power Analog-to-Digital Converter

黃昭仁

Chao-Jen Huang

中文摘要

本論文提出一個具有六位元及每秒40次取樣率之近漏電流功率級逐漸逼近暫存器之類比數位轉換器，電路包含數位邏輯、偏壓電路、寬操作電壓與高直流增益之比較器以及數位類比轉換器，非常適合整合於晶片使用。由於功耗非常小，可以不需使用任何電池，直接透過獵能器供電，可應用範圍包含物聯網、生醫電子、無線感測器網路、超低功耗系統... 等等。此六位元單端類比數位轉換器使用 $0.18\mu\text{m}$ CMOS製程技術製作，晶片面積僅 0.0637mm^2 。量測INL與DNL最壞情況，分別為 $+1.3$ 至 -0.6 LSBs以及 $+1$ 至 -0.8 LSBs。此晶片可操作於 0.3V 至 1.8V ，其功率消耗僅需 1.297nW 至 17.582nW 。

Abstract

This paper presents a 6-bit 40SPS near leakage current power (NLCP) successive approximation registers analog-to-digital converter (SAR-ADC). This NLCP SAR-ADC includes logic gates, a bias circuit, a full range and high DC gain comparator, and a digital-to-analog converter (DAC), which is very suitable for chip integration. Because the power consumption is in the leakage power level, NLCP SAR-ADC can operate by using energy harvesters as the power supply. That's why NLCP SAR-ADC can be used in internet of things (IoT) applications, such as biomedical electronic, wireless sensor network (WSN), extreme low power system. The 6-bit single-end NLCP SAR-ADC occupies 0.0637mm^2 in $0.18\mu\text{m}$ CMOS. Measured peak INL and DNL are $+1.3/-0.6$ LSBs and $+1/-0.8$ LSBs, respectively. The supply voltage can be from 0.3V to 1.8V with power consumption only from 1.297nW to 17.582nW respectively.

關鍵詞(Key Words)

近漏電流功率級 (Near Leakage Current Power ; NCLP)
逐漸逼近暫存器 (Successive Approximation Registers ; SAR)
類比數位轉換器 (Analog-to-Digital Converter ; ADC)
數位類比轉換器 (Digital-to-Analog Converter ; DAC)
物聯網 (Internet of Things ; IoT)
無線感測器網路 (Wireless Sensor Network ; WSN)

1 · 前言

隨著無線感測網路技術成熟以及物聯網時代來臨，電池壽命問題成為急需解決的議題。除此之外，應用於環境監測技術上，更需要採用能源擷取(Energy Harvesting; EH)技術來取代電池。但這樣就需要設計一個可以寬電壓操作，並且具備極低功耗的系統電路，才能實現無電池感測裝置。且整體操作功耗也需要遠低於能源擷取所獲取的能源，才能實現永恆能源。圖1為本論文提出的近漏電流功率級技術的應用電路「6-bit 40SPS SAR-ADC」，其耗電遠低於一般能源擷取技術所能提供的功耗，可以實現永續能源。近漏電流技術最早於2003年起便由三星電子Samsung發表相關技術並申請專利，應用於半導體或是TFT-LCD顯示面板上[1]-[3]，以偵測並校正面板亮度資訊，此電路比較偏向數位式的電路技術，而本論文除了數位電路技術之外，更著重於類比電路的開發，並實現較為複雜的SAR-ADC，並且可以應用寬電壓300mV至1.8V的電路操作。此SAR-ADC包含數位邏輯電路、偏壓電路、比較器、DAC...等，僅利用MOSFET元件設計並可相容於全數位製程。

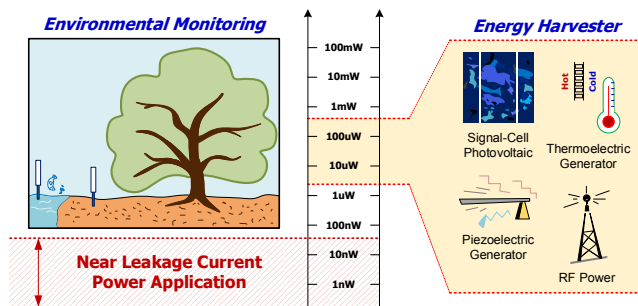


圖 1 近漏電流功率級應用於環境感測及能源擷取

2 · 近漏電流設計概念

為了實現近漏電流功耗之電路設計，首先需要先了解MOSFET之漏電流路徑，如圖2以PMOS為例，將其閘極跟源極接在同電位下，

其PMOS視同關閉僅剩下漏電流，而其漏電流 $I_{LC,PMOS}$ ，路徑主要可分為三個，分別為 I_{BD} 、 I_{SD} 及 I_{GD} 。以0.18 μ m CMOS製程下，源極到汲極的 I_{SD} 為最主要漏電流路徑，這三個漏電流可將PMOS視為等校電阻 $R_{EQU,P}$ 。故利用此等校阻抗可以用一個MOSFET取代非常大的阻抗，降低晶片佈局面積，也可以利用此微小電流進行電路設計。

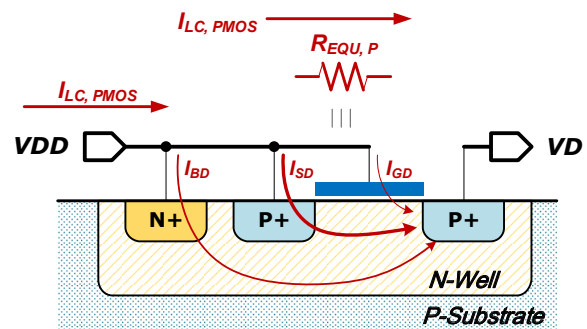


圖 2 P-MOSFET之漏電流路徑

開始設計電路之前，需要考慮電路模擬模型SPICE model是否與真實地操作情況相同。由於此操作方式並非製程廠標準設計方法，所以使用的model card並無法包含電路真實的操作行為，故需要在事前重複的進行MOSFET的測試元件下線，並藉由多數測試晶片的量測來建立特性曲線，以了解MOSFET在 V_{GS} 為0V情況下真實行為與製程廠提供的SPICE model差異。在設計模擬時，才能藉此row data加以考慮並修正電路。圖3為SPICE model與測試元件量測之比較，清楚了解PMOS在 V_{GS} 為0V情況時，比較偏向typical corner，但是隨 V_{DS} 增加，其變異也會跟著變大，並且偏向slow corner，若使用PMOS做為漏電流源，在 V_{DS} 較大的情況下，將會較難以控制製程變異。反觀NMOS的特性較PMOS穩定許多，但其特性皆坐落於slow corner居多，甚至會比slow corner略差，但是由量測結果與SPICE model比較，採用NMOS當作漏電流源可以具有較佳的製程變異抗拒能力，而PMOS可以做為開關輸入控

制。在近漏電流功率級的電路設計上，更清楚的確認PMOS特性較相似於typical corner，而NMOS特性則較相似於slow corner。所以在設計漏電流源時，依然與MOSFET標準的 $I_{DS}-V_{DS}$ 特性曲線一樣，需要讓 V_{DS} 跨壓超過臨界值，這樣才有辦法做為穩定電流源，若操作於較低 V_{DS} 區間，則會出現極大的等效阻抗 $R_{EQU,LC}$ 。

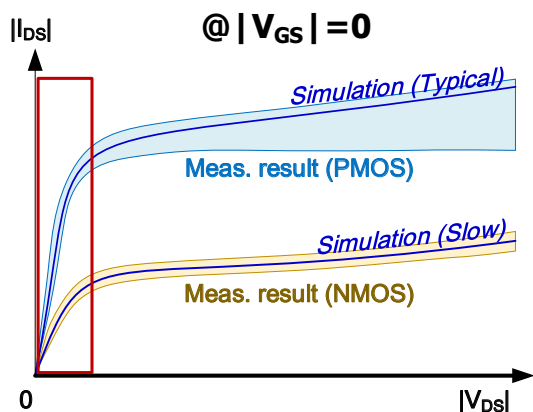


圖 3 實際量測與模擬之 $I_{DS}-V_{DS}$ 特性曲線

3. 近漏電流功率級之ADC設計

由於近漏電流功率級的應用電路設計相當複雜，針對此技術，本論文提出具備六位元40SPS之單端SAR-ADC電路，如圖4所示。此電路包含基本邏輯電路NOT、NAND-2以及NAND-3邏輯所構成的SAR邏輯電路，還有數位轉類比的DAC，再透過取樣保持電路將輸入電壓維持固定後，讓 V_{SH} 與 V_{DAC} 電壓相比較，在將結果輸入於SAR邏輯電路內。整個電路運作由時脈控制電路分配時序，以完成六位元比較。

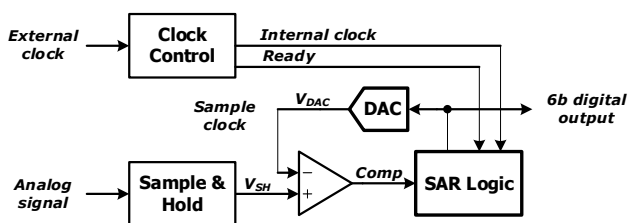


圖 4 單端輸入之SAR-ADC基本電路架構

圖5為SAR-ADC的轉換時序圖， V_{SH} 訊號為類比輸入訊號，當開始進行轉換時， V_{SH} 就會將類比訊號取樣並保持電位直到ADC轉換完成後才會進行重新取樣，在一開始進行轉換的時候，DAC會輸入code 8，讓 V_{DAC} 輸出 $1/2 V_{DD}$ 電壓訊號，再透過比較器進行 V_{SH} 與 V_{DAC} 比較，若輸出低態則輸出code 4，反之輸出code 12。依序漸進比較出最後的結果，當最後比較為高態，則直接輸出，若為低態則輸出上一次比較結果。在第一次轉換時，最後比較器比較結果輸出高態，則ADC輸出結果為DAC最後結果code 5；在第二次轉換時，最後比較結果為低態，則ADC輸出結果為DAC最後上一次結果code 14，完成SAR-ADC轉換。DAC電路若採用電容元件設計的話，就需要有一個時脈進行重置(Reset)以便確保電位不受操作時間影響，若採用純電阻式設計，則可以省略重置動作，由於本論文設計是採用MOSFET的漏電流特性來替換成電阻特性，故此電路為純電阻不需要進行重置動作。

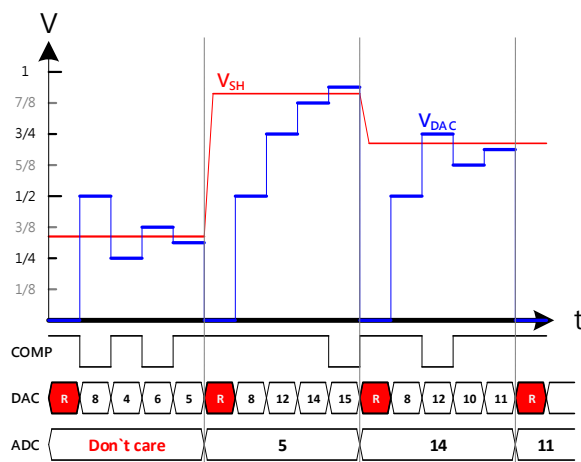


圖 5 四位元SAR-ADC類比轉數位之操作範例

本章節將針對數位邏輯電路、數位類比轉換器、偏壓電路以及低電壓高增益比較器深入探討近漏電流功率級之類比數位轉換器設計。

3.1 數位邏輯電路

標準CMOS反相器由NMOS以及PMOS構

成，並且閘極會連接在一起成為輸入訊號，如圖6所示。但此邏輯電路在輸入訊號A轉態時，會讓PMOS與NMOS同時導通，形成短路，在此瞬間造成非常大的短路電流而無法有效地降低電路操作功耗。圖7為本論文提出的近漏電流級反相器電路，由於NMOS的漏電流本身較PMOS大且穩定，故採用NMOS做為漏電流源而PMOS做為開關，為了讓速度操作更快，且克服製程變異問題，在NMOS的漏電流設計需要比傳統更大，故在邏輯1的時候，為NMOS漏電流，反之在邏輯0的時候，為PMOS漏電流，故在邏輯1時，會較標準CMOS反相器電路更大的功耗。

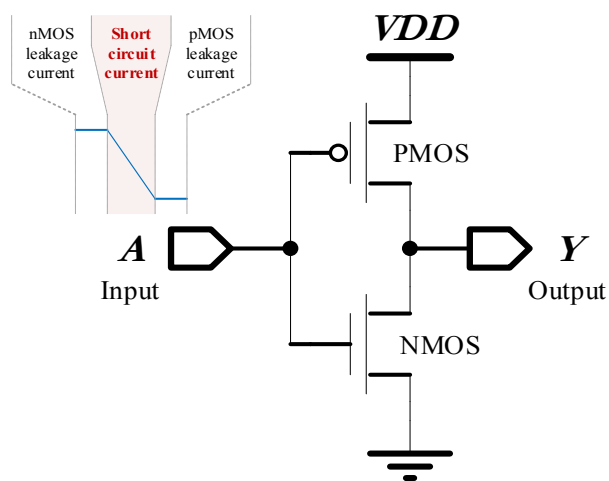


圖 6 標準CMOS反相器電路圖

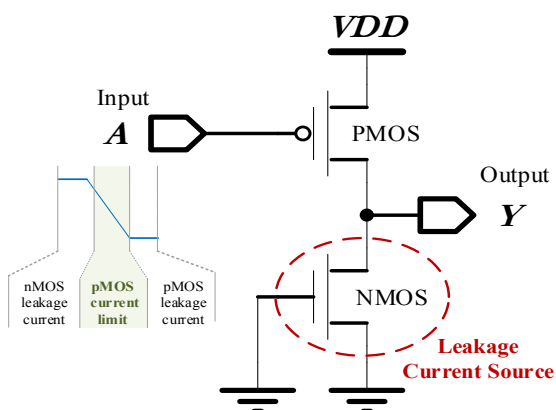


圖 7 近漏電流功率級的反相器電路

圖8與圖9中，顯示本論文提出的近漏電流功率級反相器以及標準CMOS反相器分別在300mV以及1.8V電源下之功率以及輸出轉態點分析。在300mV電源下，近漏電流反相器在邏輯1下比標準的漏電流更大，但是功耗表現優異，克服標準反相器的短路電流問題；在1.8V電源下，近漏電流反相器在功耗表現極為優異，但是在轉態點將會位移至1.62V，將會影響操作速度，由於此類比數位轉換器設計，僅需要考慮寬電壓操作以及低功耗設計，雖然近漏電流反相器無論在任何電壓下操作，皆無法實現高速切換，但極為優異的功耗表現，將是此ADC設計的一大優勢。

除了反相器外，SAR邏輯電路需要使用的NAND-2以及NAND-3邏輯閘，也可以利用圖10的電路架構，完成SAR邏輯電路設計。

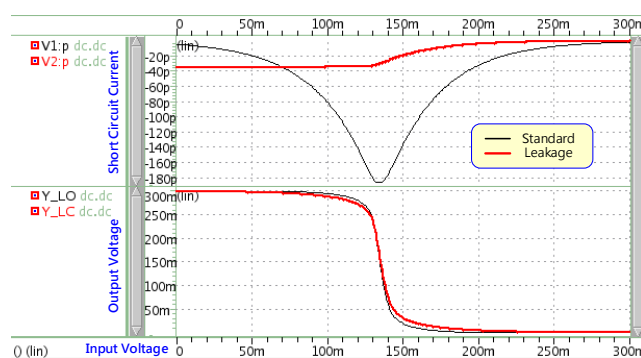


圖 8 反相器在300mV供電下之功率分析

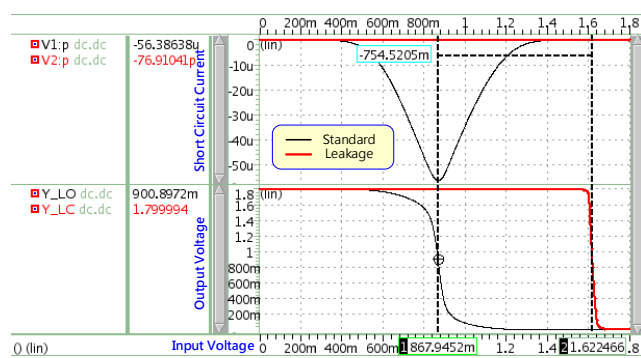


圖 9 反相器在1.8V供電下之功率分析

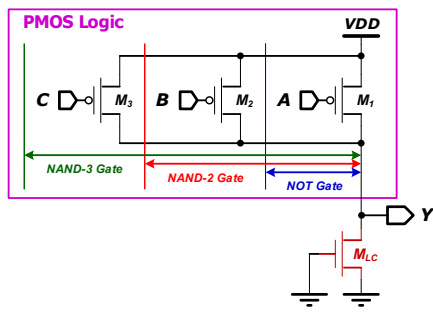


圖 10 近漏電流功率級的邏輯電路設計

3.2 數位類比轉換器

圖 11 為本論文提出的 DAC 為 SAR-ADC 重要的關鍵電路，由於本設計採用電阻串式架構設計，為降低功耗，採用 PMOS 漏電流方式替換電阻，以大幅降低布局面積，但使用漏電流設計時，將會造成類比多工器設計的極大挑戰，標準的類比多工器由傳輸閘構成，但是在漏電流設計時，將面對電阻串的漏電流以及開關的漏電流，形成非常複雜的電阻串並聯形式，尤其在電源越低的情況下，開關的導通與關閉阻抗將越來越無法區分，所以在電阻串的電流需要設計介於虛線區域，讓開關可以區分，否則將會造成精確度問題或是無法正常操作。圖 12 為 DAC 最嚴格的模擬結果，可正常於 300mV 供電下，實現具六位元 DAC 電壓輸出，並且具有良好的 INL 以及 DNL 表現。

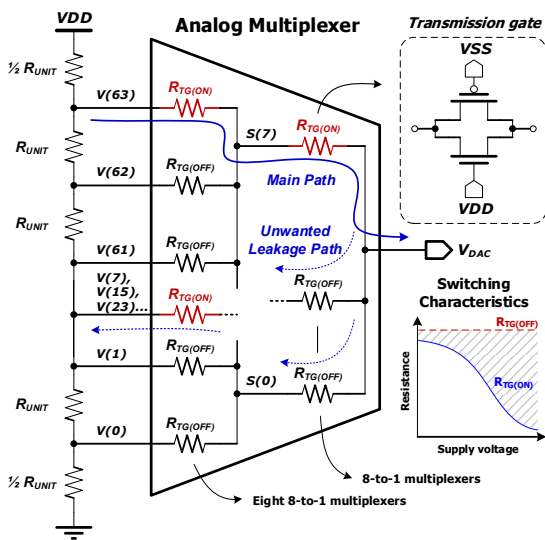


圖 11 近漏電流之數位類比轉換電路

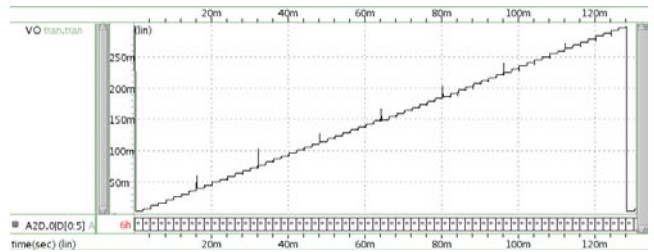


圖 12 數位類比轉換電路於 300mV 下之模擬結果

3.3 偏壓電路

圖 13 為本論文提出的偏壓電路架構，利用 PMOS 漏電流等校阻抗取代電阻，降低布局面積以及功耗，並透過此偏壓電路提供參考電流源供比較器進行電路操作。圖 14 為偏壓電路在不同製程操作下之鏡射電流誤差比較，可從 M_{B1} 以及 M_{MN} 的電流差異，推測單級比較器無法設計高增益。

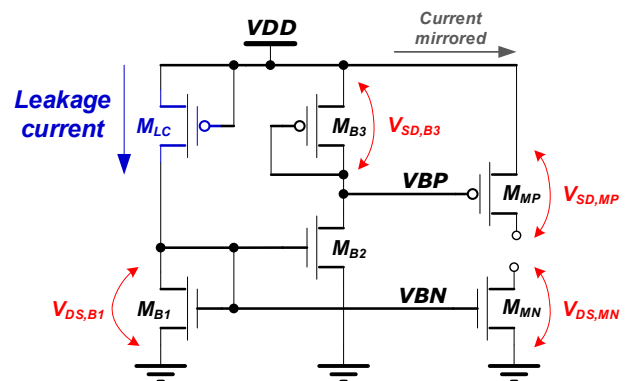


圖 13 近漏電流之偏壓電路

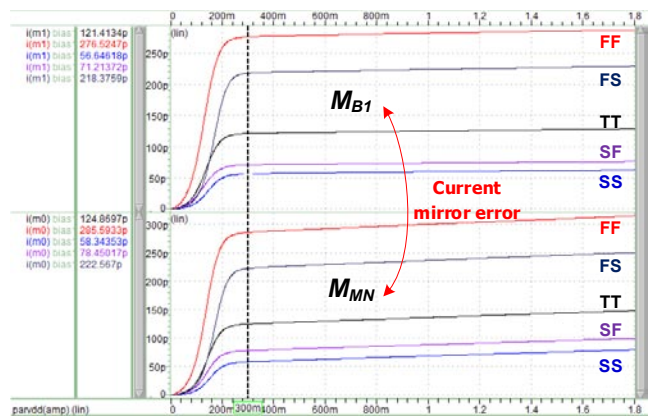


圖 14 近漏電流之偏壓電路模擬結果

3.4 低電壓高增益比較器

圖15為本論文採用的比較器電路架構。由於單級比較器無法實現高增益，將會使 V_{SH} 以及 V_{DAC} 電壓無法在低電壓下區分造成解析度無法實現六位元解析度，故先利用前級比較器 X_{CMP1} 以及 X_{CMP2} 做差動放大，再透過第二級比較器 X_{CMP3} 再進行後級訊號放大，以實現低電壓高增益特性。但由於本論文需要實現低電壓300mV之設計，為了盡可能增加LSB需要採用軌對軌(Rail-to-Rail; R2R)比較器架構進行實現。圖16為此比較器完整的電路圖，利用推拉式(Push-Pull)架構之比較器，實現R2R特性，並由於此比較器最多僅疊接三層，可容易實現於300mV低電壓操作。

圖17與圖18分別在電壓300mV以及1.8V下，模擬各個corner在全域電壓下的增益頻寬。

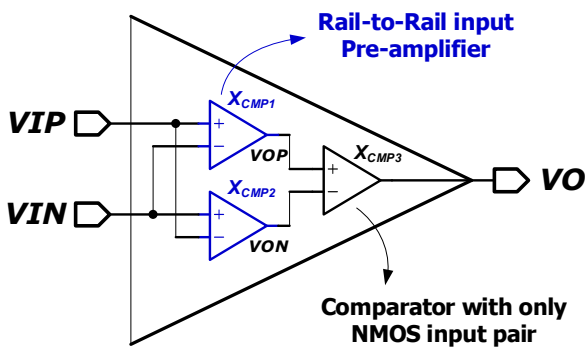


圖 15 二級高增益比較器電路概念

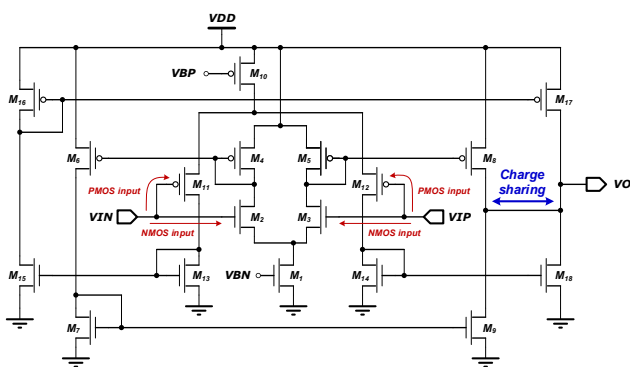


圖 16 推拉式軌對軌比較器電路圖

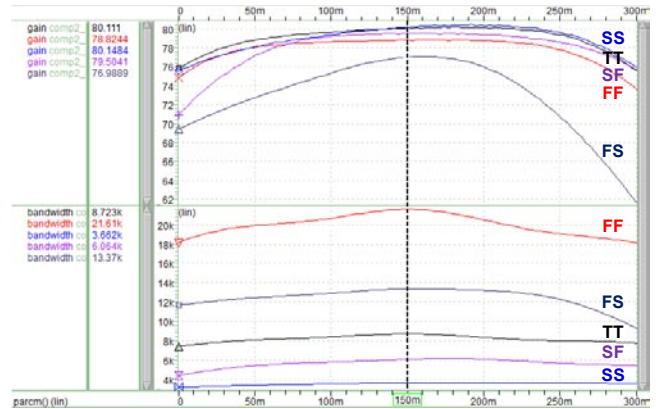


圖 17 比較器於300mV供電下之增益與頻寬

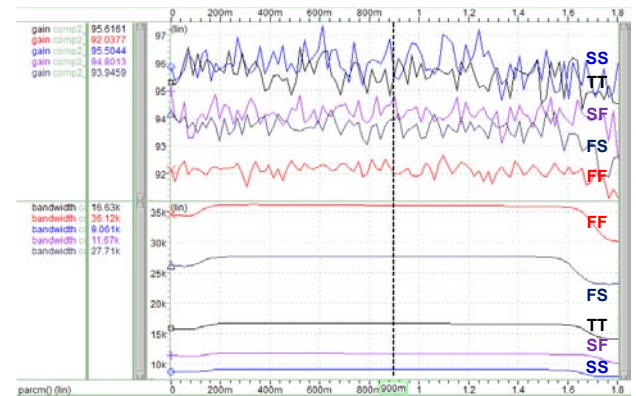


圖 18 比較器於1.8V供電下之增益與頻寬

由模擬結果可以非常確定在全域輸入的條件下，在300mV供電下有60dB以上的增益，而在1.8V供電下更有90dB以上的增益表現，由於此比較器為近漏電流功耗，頻寬明顯受到操作電流以及製程變異影響，尤其在近漏電流設計中又偏向ST corner，固可推測最後的晶片量測結果可能落於SS corner與SF corner間之特性。

4. 全晶片模擬

考慮此ADC電路為近漏電流功耗並且操作於低電壓環境，進行量測將會嚴重的受到量測儀器輸入阻抗影響而造成誤差，故在進行晶片設計時需要考慮量測環境。本章節將進一步討論輔助量測電路以及全晶片模擬。

4.1 輔助量測電路

圖 19 為 SAR-ADC 電路之緩衝電路設計，由於量測儀器輸入阻抗大多約 100k 至 1M 歐姆，將會嚴重影響近漏電流電路之訊號量測，故本論文電路設計可從低電壓轉高電壓的電壓準位轉換 (Level Shifter) 緩衝電路。

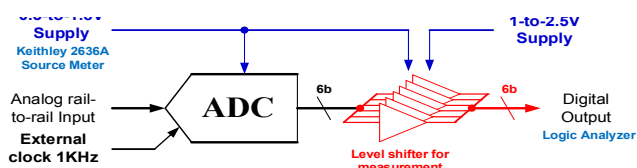


圖 19 電壓準位轉換緩衝電路

由於輸入訊號不會因為近漏電流功耗操作而受影響，故本晶片僅需要在每一個輸出訊號加入電壓準位轉換緩衝電路，將 300mV 至 1.8V 的 SAR-ADC 供電，將訊號轉換成 1V 至 2.5V 的輸出電壓，方便儀器容易進行量測，同時也藉此電路隔絕儀器負載影響，方便觀察到 SAR-ADC 內部真實的訊號。

4.2 全晶片模擬

圖 20 與圖 21 分別呈現 300mV 以及 1.2V 供電下的 SAR-ADC 模擬結果，並且可分別可得到 1.69nW 以及 15.1nW 的電路功耗，實現近漏電流級的電路操作。

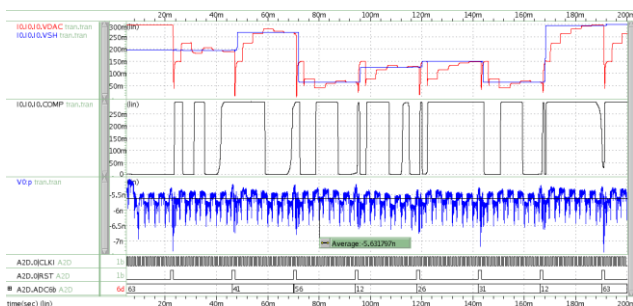


圖 20 全晶片模擬於 300mV 供電之操作與耗電行

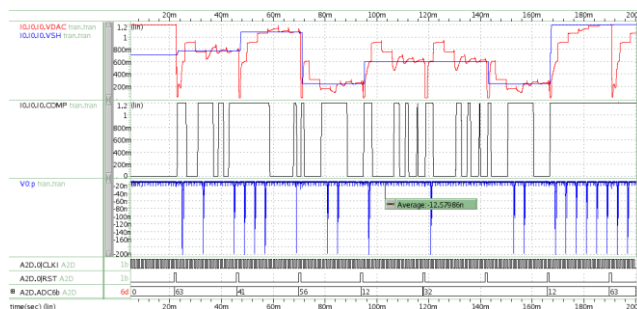


圖 21 全晶片模擬於 1.2V 供電之操作與耗電行為

5. 晶片量測結果

此晶片量測結果如圖 22 至圖 24 所示。圖 22 為 300mV 供電下之 INL 特性曲線，從 1.3 至 -0.6 LSBs；圖 23 為 300mV 供電下之 DNL 特性曲線，從 1 至 -0.8 LSBs，從 INL 與 DNL 量測結果，可確定此 SAR-ADC 電路在 300mV 低電壓供電下，具有六位元解析度。

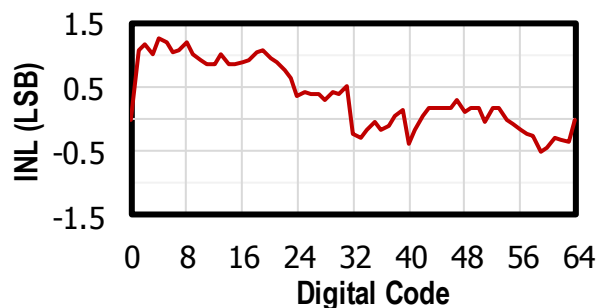


圖 22 供電 300mV 下之 INL 特性曲線

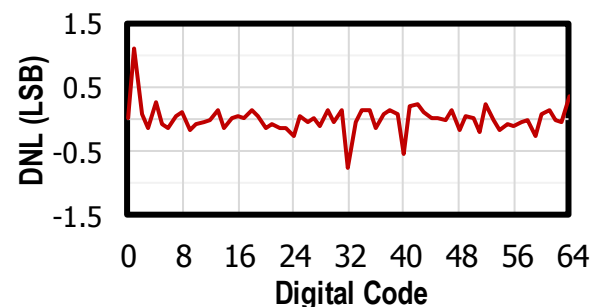


圖 23 供電 300mV 下之 DNL 特性曲線

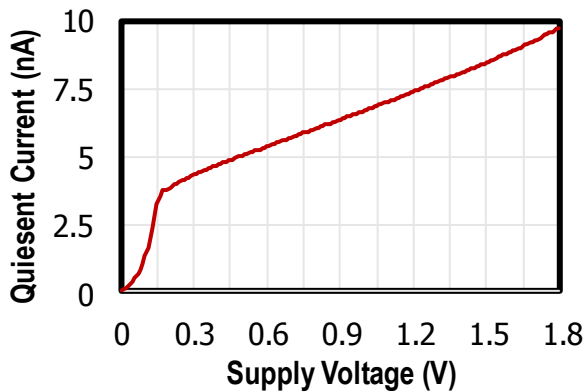


圖 24 不同供電下的靜態電流

圖24為不同供電下的靜態電流量測結果，雖然此SAR-ADC可在240mV下工作，但僅有三位元解析度，而在300mV以上可輸出六位元解析度，耗電為1.297nW至17.582nW。圖25為晶片裸照圖，採用0.18 μ m CMOS製程技術設計，晶片面積為0.0637mm²。表1為國際知名論文比較表，與其他論文比較，本論文SAR-ADC雖然在轉換速度上遠低於其他論文電路，但是在最低電壓300mV、寬電壓300mV至1.8V以及近漏電流功耗1.297nW皆優於其他電路架構。

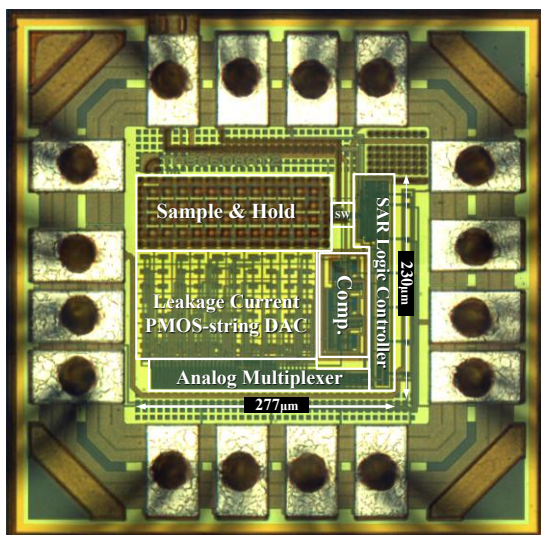


圖 25 晶片裸照圖

表 1 國際先進學術論文比較表

	[4]	[5]	[6]	[7]	This work
Technology	90nm	65nm	90nm	65nm	0.18 μ m
Input signal type	Differential				Single-end
Low voltage technique	Bootstrap	-	-	Bootstrap	Leakage current
Supply voltage (V)	0.35	0.6	0.4~0.7	0.4~1	0.3~1.8
Meas. voltage (V)	0.35	0.6	0.4	0.55	0.3
Sample rate (S/s)	100k	40k	500	5k	42
Resolution (bit)	10	10	10	6	6
INL (LSB)	0.6	0.48	0.62	0.33	-0.6~1.3
DNL (LSB)	0.3	0.32	0.34	0.35	-0.8~1
Power (nW)	170	72	500	116	1.297
Area (mm ²)	0.0323	0.076	0.042	0.212	0.0637

6. 結論

本論文提出一個六位元40SPS的SAR-ADC電路，採用近漏電流技術設計實現超低電壓300mV操作以及最低1.297nW之功耗，寬電壓300mV至1.8V操作，可使用由能源擷取所提供的不穩定電壓源，並且易於整合於微控制器 (Micro-Controller; MCU)、特殊應用積體電路 (Application-Specific Integrated Circuit; ASIC) 或是系統單晶片 (System of Chip; SoC) 內，適合應用於低功耗系統，如IoT以及WSN應用，做為事件觸發(event trigger)或訊號感測用途。

參考文獻

- [1] Kwang-II Kim, "Semiconductor test device using leakage current and compensation system of leakage current", US Patent No. 7,342,408, 2006.
- [2] Gun-Ok Jung, "Leakage current detection

circuit and leakage current comparison circuit”, US Patent No. 7,705,656, 2006.

- [3] Gun-Ok Jung, “Leakage current detection circuit and leakage current comparison circuit”, US Patent No. 7,944,267, 2010.
- [4] H.-Y. Tai, et al., “A 3.2fJ/c.-s. 0.35V 10b 100KS/s SAR ADC in 90nm CMOS,” IEEE Symp. VLSI Circuits, pp. 92-93, June 2012.
- [5] P. Harpe, et al., “A 2.2/2.7fJ/conversion-step 10/12b 40kS/s SAR ADC with Data-Driven Noise Reduction,” ISSCC Dig. Tech. Papers, pp. 270-271, Feb. 2013.
- [6] C.-Y. Liou, et al., “A 2.4-to-5.2fJ/conversion-step 10b 0.5-to-4MS/s SAR ADC with Charge-Average Switching DAC in 90nm CMOS,” ISSCC Dig. Tech. Papers, pp. 280-281, Feb. 2013.
- [7] M. Yip, et al., “A Resolution-Reconfigurable 5-to-10-Bit 0.4-to-1 V Power Scalable SAR ADC for Sensor Applications,” IEEE J. Solid-State Circuits, vol.48, no. 6, pp. 1453-1464, June 2013.

作者簡介

黃昭仁



資訊與通訊研究所 / 生醫與工業積體電路技術組 / 低功耗混合訊號部資深工程師暨技術經理，於中原大學取得碩士學位。自2008年於工業技術研究院服務，專長為低功耗混模訊號電路及能源與電源管理系統晶片設計。

[E-mail:ephoton@itri.org.tw](mailto:ephoton@itri.org.tw)