

廣域電壓之電源模式感知時脈樹設計

Power-mode-aware Clock Tree Synthesis for Wide-voltage-range Designs

聶佑庭 黃世旭 張世杰
Yow-Tyng Nieh, Shih-Hsu Huang, Shih-Chieh Chang

中文摘要

降低晶片操作電壓是一個已知降低晶片功率消耗的最有效方法。因此，多電源模式 (Multiple-Power-Mode) 的晶片設計被廣泛應用在整個IC產業之中。然而，當多電源模式晶片的工作電壓運作在廣域電壓之下，非常大的時脈差異將會發生在不同的電源模式之間。為了降低這時脈差異，傳統的電源模式感知緩衝器必須使用到一定的數量的時脈緩衝器，因而產生較大的功率消耗。在本篇文章當中，之於廣域電壓下的晶片設計，我們提出一個新的電源模式感知緩衝器電路架構。此電路架構由兩個串接的電源模式感知緩衝器組合而成，在第一層級的電源模式感知緩衝器，我們供應較低電壓來概略調整時脈差異；在第二層級的電源模式感知緩衝器，我們供應較高電壓來細部微調時脈差異。實驗結果顯示我們提出的新電源模式感知緩衝器電路架構的確能有效降低時脈差異，同時避免產生額外的功率消耗。

Abstract

Lowering the supply voltage is recognized as the most effective way to reduce power consumption. Therefore, multiple-power-mode designs have been widely adopted in the industry. However, in a multi-power-mode design, as the range of the supply voltage becomes wide, a large clock skew may occur among different power domains. To remove this clock skew, conventional power-mode-aware buffers (PMABs) require a large overhead on power consumption. In this paper, we propose a new PMAB architecture for wide-voltage-range multi-power-mode designs. The proposed PMAB architecture is composed of two serially-connected sub-PMABs at two different voltage levels, respectively: in the front sub-PMAB, the low voltage level is used for coarse-grained clock skew minimization; in the back sub-PMAB, the high voltage level is used for fine-grained clock skew minimization. Benchmark data show that the proposed approach can effectively eliminate the clock skew with small power consumption.

關鍵詞(Key Words)

多電源模式 (Multi-power Mode)

廣域電壓 (Wide-voltage Range)

時脈差異 (Clock Skew)

時脈樹 (Clock Tree)

1 · 前言

為了要降低晶片的功率消耗，多電源模式 (Multi-power Mode) 晶片操作方法已經被廣泛地採用。但多電源模式間的時脈差異造成電路時序收斂上很大的問題。尤其當電路操作電壓降到超低電壓 (Ultra-low Voltage, ULV)，多電源模式的操作電壓範圍變得非常的廣泛，我們稱此為廣域電壓 (Wide-voltage Range)。此時，若我們使用傳統電源模式感知緩衝器的作法 [1-3]，由於電源模式感知緩衝器仍然操作在較高的電壓，為了要降低時脈差異 (Clock Skew)，我們必須使用到一定的數量的時脈緩衝器 (Clock Buffer)，因而造成了額外的晶片功率消耗 (Chip Power Consumption)。

表1 多電源模式下造成的時脈差異

Power Mode	Voltage Level		Clock Latency (ns)		Clock Skew (ns)
	PD1	PD2	PD1	PD2	
Mode 1	High	High	0.40	0.50	0.10
Mode 2	High	Low	0.40	9.10	8.70
Mode 3	Low	High	6.00	0.50	5.50
Mode 4	Low	Low	6.00	9.10	3.10

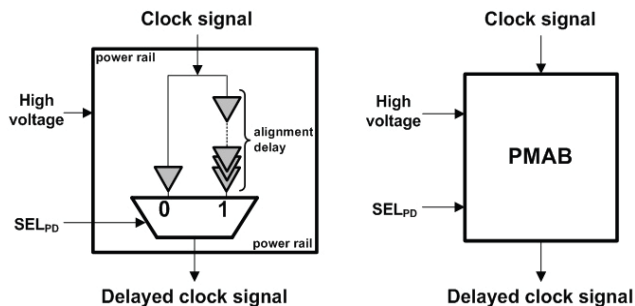


圖1 傳統電源模式感知緩衝器內部架構圖

我們舉一例子說明此一現象。假設有一電路包含兩個功能模組 (Function Module)，一時脈訊號 (Clock Signal) 同時連接至這兩個功能模組，每個功能模組各有各自所屬的電源區域 (Power Domain, PD)。此電路一共有四種電源模式，因操作電壓不同而導致的整體電路時脈差異如上表1所示。傳統電源模式感知緩衝器 (Power-mode-aware Buffer, PMAB) 內外部架構如圖1與圖2。其電源模式感知緩衝器由一多工器 (Multiplexer) 與數條時脈通道 (Clock Channel) 所組成，每一時脈通道中串接著數個不等的時脈緩衝器。由於整個電源模式感知

緩衝器操作在高電壓，若以上述表1電路為例，假設單一時脈緩衝器在高電壓操作時的時序延遲 (Timing Delay) 為 0.05ns，在4條時脈通道內總共必須使用 408 個時脈緩衝器 (62+174+0+172=408)，才能使兩功能模組間的時脈差異降為零，如圖3所示。因而產生較大的功率消耗。

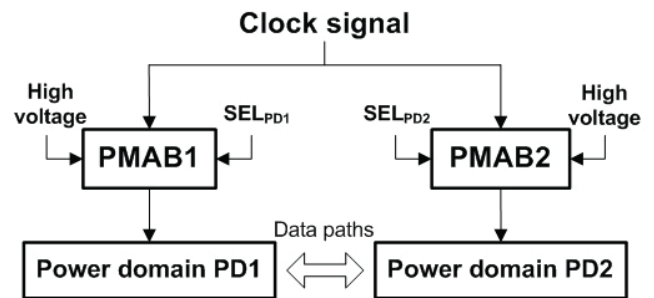


圖2 傳統電源模式感知緩衝器外部連線圖

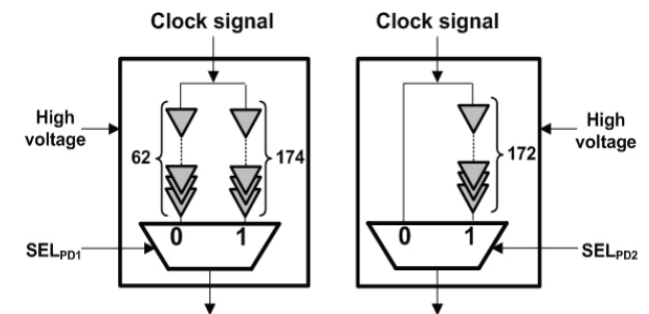


圖3 使用 408 個時脈緩衝器來降低時脈差異

因此，為了同時減低功率消耗與時脈差異，[4]提出了一個多電源模式感知緩衝器架構 (MPMABs)，其內外部架構如圖4與圖5。

與傳統電源模式感知緩衝器不同的地方在於提供了一個動態電壓調整 (Dynamic Voltage Scaling, DVS) 控制器 [5] 來調控此多電源模式感知緩衝器的操作電壓。因此若電源模式感知緩衝器可以操作在較低的電壓，假設一個時脈緩衝器在低電壓操作時的時序延遲為 2.80ns，在4條時脈通道內我們僅需使用8個時脈緩衝器即可將時脈差異降低到 0.3ns (3+3+2+1=6)，如表2、表3與圖6所示。

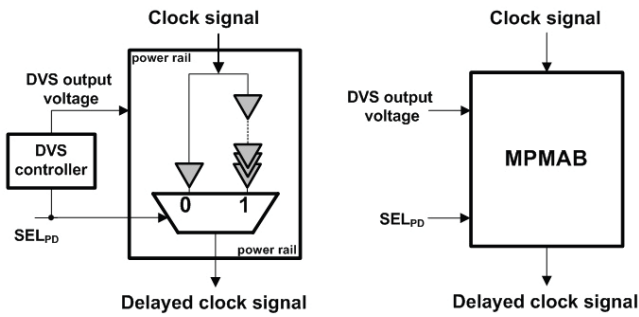


圖4 多電源模式感知緩衝器內部架構圖

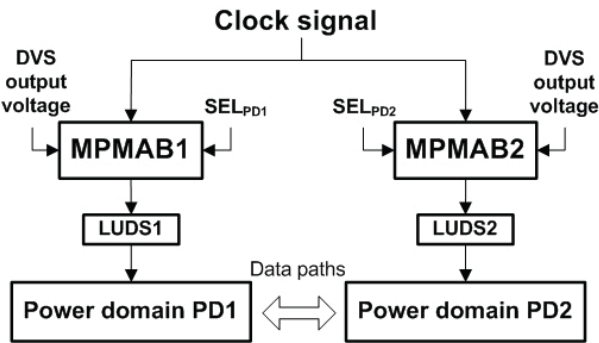


圖5 多電源模式感知緩衝器外部連線圖

表2 多電源模式感知緩衝器操作設定

Power Mode	Configuration			
	MPMAB1		MPMAB2	
	SEL _{PD1}	Voltage Level	SEL _{PD2}	Voltage Level
Mode 1	0	High	0	High
Mode 2	1	Low	0	High
Mode 3	0	High	1	Low
Mode 4	0	Low	0	Low

表3 多電源模式感知緩衝器改善時脈差異結果

Power Mode	Clock Latency (ns)		Clock Skew (ns)
	Domain PD1	Domain PD2	
Mode 1	0.70	0.75	0.05
Mode 2	9.30	9.35	0.05
Mode 3	6.30	6.60	0.30
Mode 4	17.70	18.00	0.30

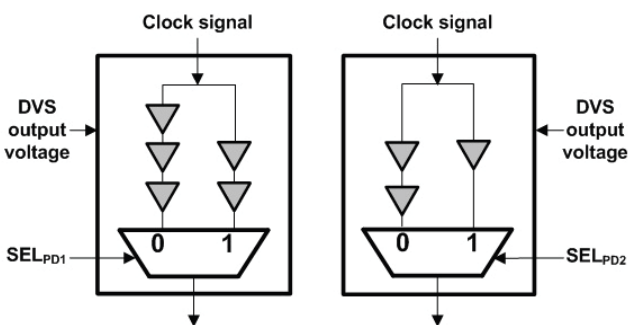


圖6 僅使用8個時脈緩衝器來降低時脈差異

雖然多電源模式感知緩衝器可有效改善時脈差異與功率消耗結果，但仍存在下列的缺點：

- (1) 因多電源模式感知緩衝器需要依不同電源模式動態調整電壓，因此需要額外的動態電壓控制器電路，不可避免增加了電路與其繞線的面積。
- (2) 多電源模式感知緩衝器將時脈訊號傳遞給功能模組時，由於電壓準位不一致，因此需要插入雙向之電壓準位轉換器(包含Low to High Level Shifter, High to Low Level Shifter)，以確保時脈訊號可以完整地傳遞至功能模組，如圖5中的LUDS1與LUDS2。雙向電壓準位轉換器不存在一般標準元件庫中，需要額外特殊的設計。
- (3) 多電源模式感知緩衝器在不同的電源模式間雖然可降低時脈差異，但其不同電源模式間的時脈延遲卻有很大差異。例如表3中，Mode1與Mode2的時脈延遲就存在10ns左右的差距。對於晶片內部的資料傳遞與同步性帶來困擾。
- (4) 受限於低電壓下單一顆時脈緩衝器以及多工器的時序延遲(假設為2.80ns與3.10ns)，多電源模式感知緩衝器無法真正將時脈差異降為零，最小時脈差異為0.3ns。

基於上述分析，我們發現高電壓的電源模式感知緩衝器可以將時脈差異降為零，而低電壓的電源模式感知緩衝器內的時脈緩衝器數量可以降到非常低。此外，若能避免不同電源模式對於電源模式感知緩衝器產生的電壓調變，電壓調整控制器與雙向電壓準位轉換器電路則可被移除。

所以我們提出了在廣域電壓下，新的雙電壓層級電源模式感知緩衝器架構。在此架構下，電源模式感知緩衝器的電壓可以被固定，避免使用電壓調整控制器與雙向電壓準位轉換器電路。第一層級的電源模式感知緩衝器操作在較低電壓，用以概略調整時脈差異；而第二層級的電源模式感知緩衝器操作在較高電壓，用以細部微調時脈差異。

2. 雙電壓層級電源模式感知時脈樹

2.1 雙電壓層級電源模式感知緩衝器

圖7為雙電壓層級電源模式感知緩衝器的架構。PMAB' 與PMAB'' 分別操作在不同的固定電壓。第一層級PMAB' 操作在固定低電壓，以較少數量的時脈緩衝器概略調整時脈差異。第二層級PMAB'' 則操作在固定高電壓，以些許數量的時脈緩衝器細部微調時脈差異。PMAB' 與PMAB'' 之間則以一固定單向電壓準位轉換器LUS(Low to High Level Shifter)連接。SEL_{F,PD} 與SEL_{B,PD} 分別為PMAB' 與PMAB'' 的時脈通道選擇訊號，主要是因應不同電源模式而選擇不同時脈延遲的時脈通道，達到降低時脈差異目的。

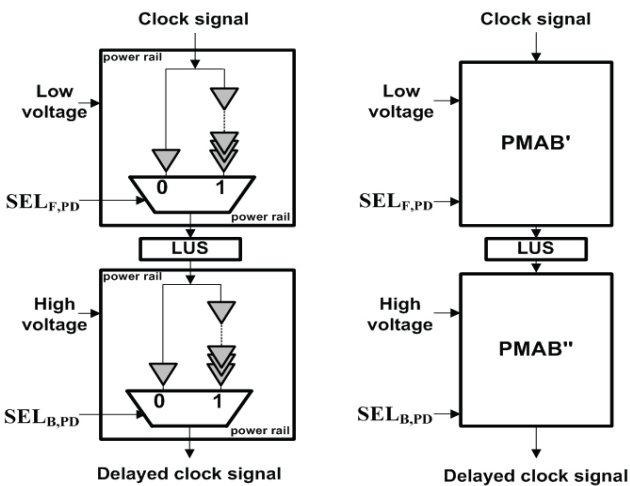


圖7 雙電壓層級電源模式感知緩衝器架構

值得一提的是，由於雙電壓層級電源模式感知緩衝器都用固定的操作電壓，因此不需要有額外的動態電壓調整控制器電路。同時在PMAB' 與PMAB'' 間的單向電壓準位轉換器LUS亦可有效提高固定低電壓下的電壓轉換速率(Voltage Slew Rate)，避免產生設計飄移(Design Variation)的情形。

2.2 雙電壓層級電源模式感知時脈樹

圖8是雙電壓層級電源模式感知時脈樹的架構圖。時脈訊號經由電源模式感知緩衝器PMAB1'、PMAB1''、PMAB2' 以及PMAB2'' 傳遞到Power Domain PD1 與PD2。因應不同電源模式，以時脈通道選擇訊號SEL_{F,PD1}、SEL_{B,PD1}、SEL_{F,PD2}以及SEL_{B,PD2}來選擇適當的時脈通道來調整時脈延遲，而LUS1與LUS2分別為連結PMAB1' 與PMAB1'' 間以

及PMAB2' 與PMAB2'' 間的單向電壓準位轉換器。最終使得Power domain PD1與PD2間資料路徑的時脈差異降到最低。

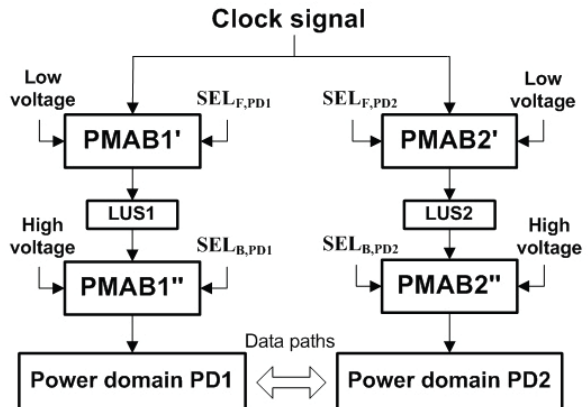


圖8 雙電壓層級電源模式感知時脈樹架構

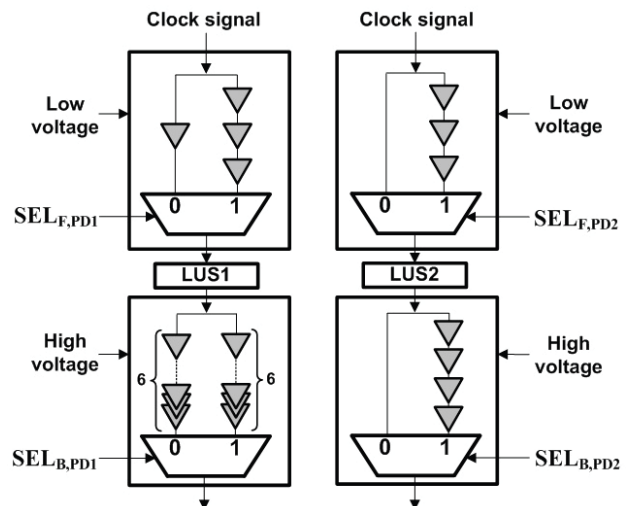


圖9 雙電壓層級電源模式感知時脈樹合成結果

我們以圖9來說明表一所述範例之雙電壓層級電源模式感知時脈樹合成結果。當電源模式為Mode1時，SEL_{F,PD1} = SEL_{B,PD1} = SEL_{F,PD2} = SEL_{B,PD2} = 1；當電源模式為Mode2時，SEL_{F,PD1} = SEL_{B,PD1} = 1，而SEL_{F,PD2} = SEL_{B,PD2} = 0；當電源模式為Mode3時，SEL_{F,PD1} = SEL_{B,PD1} = 0，而SEL_{F,PD2} = SEL_{B,PD2} = 1；當電源模式為Mode4時，SEL_{F,PD1} = SEL_{B,PD1} = SEL_{F,PD2} = SEL_{B,PD2} = 0；假設時脈緩衝器在高/低電壓時的時序延遲分別為0.05ns與2.80ns；多工器在高/低電壓時的時序延遲分別為0.15ns與3.30ns。每個單向電壓準位轉換器的時序延遲為0.20ns。因此以Mode1來說明，Power Domain PD1 的時脈延遲 2.80*3+3.30+0.20+0.05*6+0.15+0.40=12.75ns。Power Domain PD2 的時脈延遲為

$2.80 \times 3 + 3.30 + 0.20 + 0.05 \times 4 + 0.15 + 0.50 = 12.75\text{ns}$

。進一步分析，我們發現所有的電源模式下，不論是PD1或者是PD2，其時脈延遲都是12.75ns。也就是說，所有電源模式間的時脈差異皆為0，如表4所示。

表4 所有電源模式間的時脈差異

Power Mode	Clock Latency (ns)		Clock Skew (ns)
	Domain PD1	Domain PD2	
Mode 1	12.75	12.75	0.00
Mode 2	12.75	12.75	0.00
Mode 3	12.75	12.75	0.00
Mode 4	12.75	12.75	0.00

由以上範例來看，我們提出的雙電壓層級電源模式感知緩衝器有下列優點：

- (1) 因為時脈差異已經降為0，當電路存在違反保持時間(Hold Violations)條件時候，我們可用插入較少的延遲元件，減少晶片面積。
- (2) 所有電源模式的時脈延遲都保持一致，因此可維持電路內部資料傳遞與同步性。
- (3) 所有的電源模式感知緩衝器都可操作在固定電壓，避免使用電壓調整控制器與雙向電壓準位轉換器電路。

2.3 雙電壓層級電源模式感知時脈樹合成方法

圖10說明了雙電壓層級電源模式感知時脈樹合成步驟。首先，我們利用現有的時脈樹合成方法針對每個電源區域進行個別的時脈樹合成，得到個別電源區域的時脈延遲。再來以整數線性規劃(Integer Linear Programming, ILP)方法求出每條時脈通道的時脈緩衝器數量。接下來對雙電壓層級電源模式感知緩衝器內部電路個別進行擺置與繞線，將其包裝成Hard Macro。再將雙電壓層級電源模式感知緩衝器電路插入在各電源區域之間，並對新增繞線調整其時脈差異。最後對電源區域間的資料路徑進行時序違反分析與時序最佳化。

Step 1: derive the clock tree of each power domain;
 Step 2: use the ILP to derive each two-voltage-stage PMAB;
 Step 3: realize these two-voltage-stage PMABs as hard macros;
 Step 4: place each two-voltage-stage PMAB in front of the clock tree of each power domain;
 Step 5: resolve setup time violations and hold time violations in data paths.

圖10 雙電壓層級電源模式感知時脈樹合成

3 . 實驗結果

我們以9個實驗電路，採用TSMC65nm標準元件庫，來驗證我們提出的雙電壓層級電源模式感知時脈樹，如表5。其中CKT1到CKT6為ISCAS' 89 Benchmark，而IND1、IND2以及IND3為實際工業界廣域電壓之多電源模式電路。表5中敘述這9個電路的電路特性。時脈週期Period中的(CP_L,CP_H)分別代表實驗電路在低電壓(0.4V)以及高電壓(1.0V)的時脈週期。Domains/Modes分別代表實驗電路存在的電源區域與電源模式數目。FFs與Gates則說明實驗電路中的暫存器與邏輯閘個數。最後，Skews則是在多電源模式下的最大時脈差異。

表5 實驗電路之電路特性

	Period (ns) (CP _L ,CP _H)	Domains/ Modes	FFs	Gates	Skew (ns)
CKT1	(500,500)	2/4	282	5404	13.50
CKT2	(300,300)	2/4	215	2346	13.56
CKT3	(500,300)	2/4	380	8927	9.16
CKT4	(500,100)	2/4	3292	41608	16.80
CKT5	(500,300)	2/4	417	6277	9.10
CKT6	(400,300)	2/4	766	14397	13.50
IND1	(500,10)	4/4	16237	164125	15.66
IND2	(500,10)	6/10	14790	96416	19.23
IND3	(400,10)	7/16	12161	375397	23.58

表6 雙電壓層級電源模式感知時脈樹實驗結果

	Conventional		MPMAB		Ours	
	PMAB/ CKB	Skew (ns)	PMAB/ CKB	Skew (ns)	PMAB/ CKB	Skew (ns)
CKT1	2/822	0.30	2/9	1.02	2/48	0.29
CKT2	2/919	0.30	2/34	0.30	2/41	0.30
CKT3	2/578	0.30	2/5	1.02	2/49	0.30
CKT4	2/842	0.27	2/12	0.30	2/14	0.05
CKT5	2/496	0.29	2/30	0.39	2/22	0.28
CKT6	2/822	0.30	2/9	1.02	2/48	0.29
IND1	2/312	0.30	4/14	0.78	2/18	0.30
IND2	4/3155	0.30	6/41	0.85	4/83	0.30
IND3	5/4239	0.30	7/48	0.50	5/88	0.30

經由我們進行雙電壓層級電源模式感知時脈樹最佳化合成步驟之後，我們得到表6的實驗結果。實驗結果分為三部分，Conventional為傳統的電源模式感知時脈樹[1-3]實驗結果，MPMAB為多電源模式感知時脈樹[4]實驗結果，Ours則是我們提出的雙電壓層級電源模式感知時脈樹實驗結果。其中PMAB/CKB分別代表實驗電路的電源模式感知緩衝器個數及其內部的時脈緩衝器個數，Skews則說明再最佳化三種電源模式感知時脈樹之後，所得到的最大時脈差異結果。我們將所需的最小時脈差異限制(Clock Skew Constraint)設為0.3ns。實驗結

果發現，電源模式感知時脈樹MPMAB幾乎無法達到時脈差異0.3ns的目標，而傳統的電源模式感知時脈樹的確存在時脈緩衝器(CKB)過多，消耗功率過大的缺點。

表7 所有電路之時脈延遲實驗結果

	Conventional		MPMAB		Ours	
	Min (ns)	Max (ns)	Min (ns)	Max (ns)	Min (ns)	Max (ns)
CKT1	13.20	13.50	0.16	14.53	14.60	14.89
CKT2	13.26	13.56	0.72	14.53	14.26	14.56
CKT3	8.86	9.16	0.16	9.72	9.38	9.68
CKT4	16.53	16.80	0.12	19.30	16.80	16.85
CKT5	8.81	9.10	0.26	21.22	9.34	9.62
CKT6	13.20	13.50	0.15	15.99	14.60	14.89
IND1	15.36	15.66	0.21	15.70	15.56	15.86
IND2	18.93	19.23	0.24	19.28	19.33	19.63
IND3	23.28	23.58	0.12	24.12	23.96	24.26

表7的實驗結果顯示了三種電源模式感知時脈樹的最大與最小時脈延遲結果。我們發現電源模式感知時脈樹MPMAB的時脈延遲差異非常的巨大，對於電路中的資料路經傳遞與同步性造成困擾。我們提出的雙電壓層級電源模式感知時脈樹與傳統的電源模式感知時脈樹則都保持一定的時脈延遲差異。

最後我們再以電路IND1來呈現實體設計結果。圖11為雙電壓層級電源模式感知時脈樹之實際平面布置圖，而圖12為雙電壓層級電源模式感知時脈樹之實際電源規劃結果。PD1到PD4為原有電路的功率區域，而 PM_L 與 PM_H 分別代表操作在低電壓(0.4V)的第一層級電源模式感知緩衝器與操作在高電壓(1.0V)的第二層級電源模式感知緩衝器。 PM_H 可以與PD3共同實現電源規劃，而 PM_L 可以與PD4共同實現電源規劃，避免增加額外的電源接腳(Power Pad)。 PM_L 與 PM_H 之間則以單向電壓準位轉換器(Low to High)相互連結。

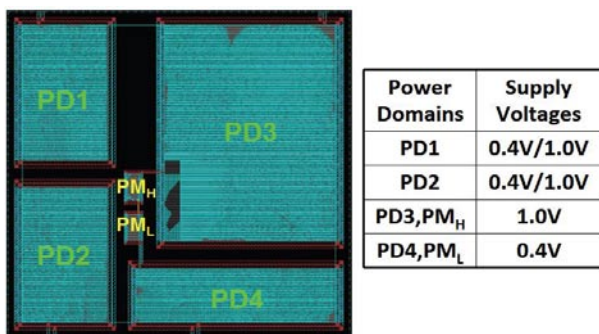


圖11 電路IND1之實際平面佈置圖

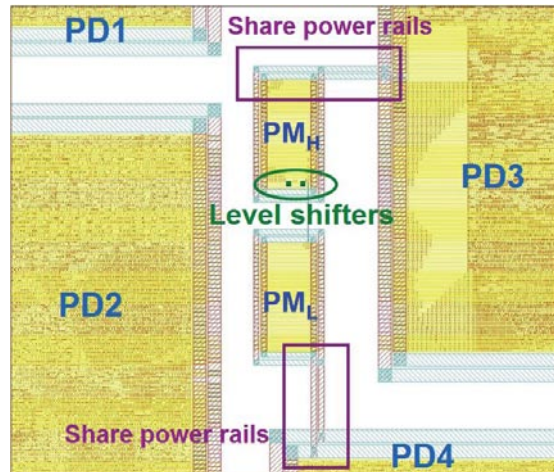


圖12 電路IND1之實際電源規劃圖

4. 結論

在本篇文章當中，我們分析並改善了傳統電源模式感知時脈樹與多電源模式感知時脈樹的缺點。我們提出的雙電壓層級電源模式感知時脈樹不但解決了額外電壓調變電路的困擾，並有效利用固定雙電壓層級架構的優點，在第一層級電源模式感知緩衝器供應較低電壓來概略調整時脈差異；在第二層級的電源模式感知緩衝器供應較高電壓來細部微調時脈差異。

在實驗部分，我們也完整比較了三種不同電源模式感知時脈樹的優缺點。證明我們提出的雙電壓層級電源模式感知時脈樹的確能有效降低時脈差異與晶片功率消耗。實體電路設計結果也確實的實現了雙電壓層級電源模式感知時脈樹的架構，可實際應用在多電源模式下的晶片設計。

參考文獻

- [1] Y. S. Su, W.K. Hon, C.C. Yang, S.C. Chang, and Y.J. Chang, "Value Assignment of Adjustable Delay Buffers for Clock Skew Minimization in Multi-Voltage Mode Designs," in *Proc. IEEE International Computer-Aided Design*, 2009, pp.535-538.
- [2] C.L. Lung, Z.Y. Zeng, C.H. Chou, and S.C. Chang, "Clock Skew Optimization

Considering Complicated Power Modes,”
*in Proc. IEEE Design Automation and Test
in Europe*, 2010, pp.1474-1479.

- [3] H.M. Chou, H.Yu, and S.C. Chang,
“Useful-Skew Clock Optimization for
Multi-Power-Mode Designs”, *in Proc.
IEEE International Conference on
Computer-Aided Design*, 2011, pp.647-650.
- [4] W.P. Tu, C.H. Chou, S.H. Huang, S.C.
Chang, Y.T. Nieh, and C.Y. Chou,
“Low-Power Timing Closure Methodology
for Ultra-Low Voltage Designs,” *in Proc.
IEEE International Conference
Computer-Aided Design*, 2013, pp.697-704.
- [5] W.H. Cheng and B.M. Baas, “Dynamic
Voltage and Frequency Scaling Circuits
with Two Supply Voltages,” *in Proc. IEEE
International Symposium on Circuits and
Systems*, 2008, pp. 1236-1239.

張世杰



現任清華大學資訊工程系教授。美國加州大學聖塔芭芭拉分校博士。專長為積體電路邏輯合成、SoC功能驗證、雜訊分析等。

[Email:scchang@cs.nthu.edu.tw](mailto:scchang@cs.nthu.edu.tw)

作者簡介

聶佑庭



現任工研院資通所設計流程開發部工程師。中原大學電子工程博士。專長為積體電路邏輯合成、實體合成、時脈樹最佳化等。

[Email:ytnieh@itri.org.tw](mailto:ytnieh@itri.org.tw)

黃世旭



現任中原大學電子工程系教授。台灣大學資訊工程博士。專長為高階合成、時脈樹設計、實體設計等。

[Email:shhuang@cycu.edu.tw](mailto:shhuang@cycu.edu.tw)