一種實用的電源供應網路設計方法

An Useful Power Delivery Network Design Methodology

林昌賜　黃家麒　廖偉勛　方聖心　周永發　蒯定明

Chang-Tzu Lin, Chia-Chi Huang, Wei-Hsun Liao, Sheng-Hsin Fang, Yung-Fa Chou, Ding-Ming Kwai

中文摘要

許多論文針對數位電路的電源網路設計與雛型作研究，然而尚未有一個有用又實際的設計被提出。本研究會著重於如何在邏輯晶片上面生成一個可以通過商業工具驗證的電源供應網路。本研究整合了邏輯晶片上的電源供應網路分析、優化以及生成，並考慮了熱效應以及電源供應板的位置所造成的影響。此外，也採用最大流量演算法來解決這個設計階段中所違反之設計規範驗證。

在生成電源供應網路之後，本研究會建立一個基於節點電壓、線電阻以及金屬層之間的via電阻的靈敏度矩陣。並利用序列線性規劃法(Sequential Linear Programming, SLP)來迭代調整靈敏度矩陣，直到IR-Drop滿足所設的條件。最後，本研究採用一個基於TSMC 65nm LP製程的實際電路來測試所提出的演算法，其IR-Drop可以降低到供應電壓的2%以內。

Abstract

There are many works on the power network design and prototyping for digital designs, however some usual and practical design concerns are not addressed. In this work, we present a realistic power network design methodology without IR violation certified by state-of-the-art commercial tool. Our work integrates analysis, optimization and synthesis of power network. In particular, we consider thermal effect and power pad's positions during the prototyping of power network. A scenario in placement regarding the violation of design rules is considered and resolved by maximum flow algorithm at the same stage.

After the synthesis of initial power network, we generate a sensitivity matrix which is correlated with nodal voltage and resistances of net and via in metal layers. Furthermore, a Sequential Linear Programming (SLP) will be applied to adjust the sensitivity matrix iteratively until the IR drop constraint is satisfied. Our work is experimented on a real design in TSMC 65nm LP process, and the result validates our framework that the IR-Drop can be reduced to 2% of supply voltage.

關鍵詞(Key Word)

電源供應網(Power Delivery Network; PDN)

分群法(Clustering Method)

電壓降(IR-Drop)

1．前言

隨著CMOS製程技術進步到20奈米，並以$\sqrt{2}$成等比級數為周期進步，IR-Drop成了一個重要又嚴重的設計考量。由於IC的先進技術，出現了許多為了因應設計上限制的挑戰。舉例來說，漏電流會增加IC的power並使其無法正常工作，因此為了加快訊號在電路內的傳輸速度，需要降低每顆電晶體的驅動電壓，然而，因為IR-Drop的關係，電晶體的驅動電壓可能會不足，所以在最佳化產生電源供應網時加入IR-Drop的考量是必要且不可或缺的。

在建構一個電源供應網時，會有許多相關的考量。首先，由於電源供應網的最佳化和晶片上standard cell的power分布、靜態隨機存取記憶體(static random-access memory, SRAM)以及其他作用的IP有很大的關係，因此比較需要power的instance會距離最近的stripe比較短。第二點是在最佳化電源供應網時，電源供應板的位置以及位能的流失是非常關鍵的，因此IR-Drop分析的精確度是不可被忽略的。第三點是如果只是單純使用更多的繞線面積去建構電源供應網，會導致之後在訊號的繞線部分會更費力。

1.1 過去的研究回顧

在過去的文獻資料中可得知，最佳化電源供應網的問題已經被廣泛的研究過了，縮小IR-Drop是最佳化電源供應網主要的研究目標。[1]中提出了一個模型，這個模型是以最差的靜態IR-Drop來最佳化兩層的網路。然而,在[1]中電源供應板的位置被假設均勻分布在電源網路上，而非它實際上的位置。[1]的模型也沒有考慮到每顆cell的消耗power,而且這個模型被假設成邊緣會掛上電阻的平均無限電阻網路。

最佳化電源供應網會有兩個主要的階段：1)以最佳化的作法來規劃一個電源網路([2],[3],[4],[5],[16],[17])以及2)重新調整電源網路的寬度來達到IR-Drop以及總面積的限制。近來有許多的研究將這兩個階段結合在一起，[7]提出了一個以統計的分群法(statistical-based clustering method)和序列線性規劃法的設計流程，除此之外[8]也將floorplan和最佳化電源供應網考慮一起考慮。

1.2 研究貢獻

雖然過去的研究已經廣泛地提出最佳化電源供應網的方法，包含合成(synthesis)、雛型設計(prototyping)以及分析(analysis)，然而在比較早期的階段，電源供應網的驗證是較不準確的。圖1顯示了IR-Drop在每個設計階段的分布情況，這些設計階段有floorplan、placement、時間最佳化的placement、clock tree synthesis (CTS)、hold time最佳化的CTS、繞線以及時間最佳化的繞線；X軸表示IR-Drop百分比，Y軸表示cell的百分比。為了得到更精準的IR-Drop分析，本研究採用和sign-off階段IR-Drop分布相似的階段：CTSO+h。明顯地可以看出IR-Drop的分布在每個階段都不相同，這些差異使得IR-Drop的分析變得不準確。另外可以發現，“hold time最佳化的CTS”和最接近sign-off階段的“時間最佳化的繞線”這兩者的IR-Drop分布很相似。因此，本研究的研究架構是採用和sign-off階段有相似IR-Drop分布的設計。

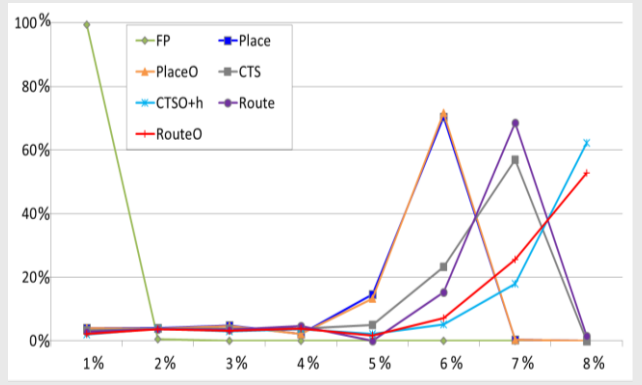

圖 1　IR-Drop在不同設計階段的分布。

在基本的設計流程中，電源供應網通常是網格基礎的架構。通常在業界最佳化電源供應網只是簡單地決定stripe的數量和寬度。因此本研究提出了一個可以分析給定的placement來合成電源供應網的架構。簡而言之，本研究有下列特色：

(1) 考慮到不同設計階段的差異，藉此最小化不可避面的錯誤。

(2) 以簡單地等價模型和分群法來決定初步的電源供應網。

(3) 藉由以序列線性規劃法為基礎的最佳化方式來重新調整電源供應網。

(4) 提出的架構能夠用於現今業界的設計，並且可以在商用軟體上驗證。

(5) 考慮了 hard macro 的 P/G pins 的旋轉方向。

這個研究的架構如下：段落2是本研究提出的電源供應網模型和問題。段落3是可以延伸在原本設計架構下的設計流程。段落4是顯示如何藉由基於本研究等價模型的分群法，來決定電源供應網的數量和位置。段落5是在初步的電源供應網合成之後，提出了一個最佳化方法，這個方法是透過節點分析的序列線性規劃法。最後段落6是實驗結果，段落7是總結。

2．電源供應網的產生

電源供應網的最佳化問題被定義如下：給定一個floorplan，其中含有standard cell、hard macro、先擺放好的電源供應板、每顆standard cell和hard macro的功耗(power consumption)的資訊，目標是得到一個能最小化IR-Drop，並且使用最少的面積的電源供應網。

在合成電源供應網初步的過程中，會將standard cell視為一個點，它的cost是自己的功耗(power consumption)。除此之外，本研究還將hard macro切分來考慮尺寸。初步電源供應網的標記定義如下：$X = \{x_1 \dots x_n\}$ 是一組點(points)，$P = \{p_1 \dots p_n\}$是一組cell power，$C = \{c_1 \dots c_k\}$是第k條power stripe的位置。在電源供應網初步的合成之後，既有的layout會均勻地根據standard cell的高度被分成幾個row。初步安排好的power/ground stripe會水平和垂直地來建立standard cell的電軌(power rail)和電源/接地板(power/ground pad)之間的電源供應網。因此，當每顆standard cell被放在某個row上時，它會被連接到晶片的電源供應網路。除此之外，還會有一些比較粗的power/ground stripe能夠用來提供電源供應板到初步power/ground stripe的電源。

為了增加本研究在power分析的準確性，本研究以文獻[7]提出的立體網路架構來用在power方面的研究。從電源供應板傳送來的電壓會向下傳送到每一個金屬層，驅動standard cell之後再傳回接地板(ground pad)。在立體網路架構下，standard cell的功耗會被表示成一個電流源(current source) $I_i = P_i / V_{VDD}$。每個一節點有一個對應到via或電流源的座標，都會有六個電組為$r_j = \rho \cdot l_j / \omega_j$的邊(edge)，它們的電流是用克希荷夫電路定律(Kirchhoff Circuit Laws)來推導。Via的電阻 $r_k = R_{via}/num.via$ 可以被計算藉由用一個via的電阻值來除以兩個相鄰金屬層交錯的面積。

3．提出的設計流程

圖2是根據本研究的演算法提出的流程圖。一開始會使用OpenAccess [9]將design輸入到本研究的架構，初步的電源供應網則是以序列線性規劃法來迭代最佳化power stripe的寬度，直到IR-Drop滿足限制條件為止。在電源供應網的最佳化之後，整個設計會被輸出成Encounter Digital Implementation (EDI) [10]的指令方式被送回設計流程。最後，IR-Drop會被商用的電壓降分析工具來解析。

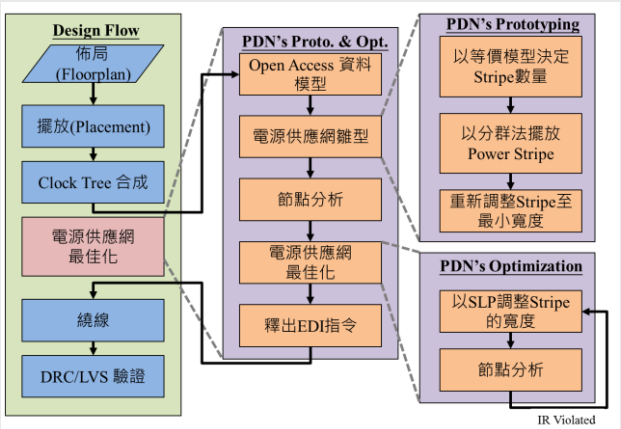

圖 2 使用OpenAccess[9]格式來輸入設計。

4．電源供應網的雛型設計

在這個段落，將說明本研究的電源供應網的演算法雛型如圖3。

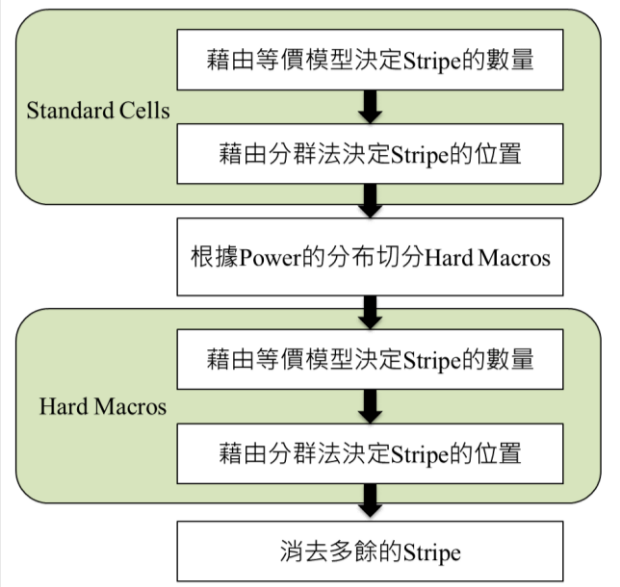

圖 3　電源供應網雛型的設計流程。

本研究將它分成兩個階段，第一個階段是每一個standard cell的雛型，另一個階段則是hard macro的雛型。在這兩個階段，方法會有些微的不同，因為在後者的階段stripe必須基於macro的P/G pins的旋轉角度來合成，以避免macro無法連接。考慮hard macro的尺寸，將hard macros切分成數個區塊(block)，並且分配預期的功耗在這些區塊上。首先，我們會採用一個等價的模型來決定stripe的數量，其次會提出一個基於k-means分群的分群法。除了考慮standard cell和其最近stripe的距離之外，power的分布也會被考慮進去，因為power的分布是影響電源供應網雛型的重要因素。最後，一些多餘stripe的搬移能夠避免DRC violation並同時減少power stripe的使用面積。

4.1 由等價模型來決定stripe的數量

在這個子段落，提出了一個等價模型來粗估stripe的數量。表1列出了這個子段落會使用到的標記。首先假設所有的standard cell被放在晶片的正中央，然後被合併到電流源。在Eq (1)，stripe的供給電流量等同於電流源的電流值。

$$N \times Is = \frac{1}{Vs} \times \sum_{i=1}^{n} P_i \tag{1}$$

表 1　等價模型中使用的變數

Variable	Description
N	Stripe的數量
P_i	Standard Cell i的功耗
I_i	Standard Cell i的電流
Is	最小寬度的Stripe的供給電流
R_k	Stripe k的電阻
Vs	電源供應版的供給電壓
Vt	目標電壓
$\triangle V$	供給電壓－目標電壓

然後，電流可以以Eq. (2)計算。Stripe的壓降是以電源供應板供給電壓和目標電壓的差來表示。在這個case下，目標電壓會被設定成供給電壓的98.5%。電阻值R是一個寬3微米的stripe的電阻值。

$$Is = \frac{\triangle V}{R} \tag{2}$$

最後，藉由將Eq. (2)代入Eq. (1)，stripe的數量可以用Eq. (3)來計算。

$$N = \frac{R \times \sum_{i=1}^{n} P_i}{\triangle V \times Vs} \tag{3}$$

4.2 藉由Practical Fitness Function的群集法

在這個子段落，應用了基於k-means分群的分群法[7],[11]。這是一個有效率的方法，能夠最大化power stripe的效率，然而晶片的power分布並沒有被考慮到。因此，power stripe必須被擺放在有高cell和power密度的位置來最小化IR-Drop。圖4大致描繪出了k-means分群法和本研究的分群法的差異，前者將每一個節點視為單一的點，而後者將每一個standard cell的功耗納入考慮，用以最大化擺放stripe的效率。

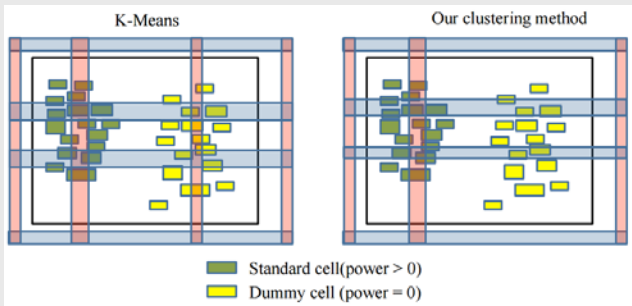

圖 4　使用[7]的k-means分群法以及本研究的分群法來決定power stripe的差異。

Standard cell到最近stripe的距離會和它的IR-Drop成等比關係，因為驅動電壓是從power stripe供給到standard cell。然而，如果cell有較高的功耗，standard cell到power stripe的距離就會比較小。將上述的問題納入考慮，power stripe的位置可以用最小化Eq. (4)的Φ值來決定：

$$\min \phi = \sum_{r=1}^{k} \sum_{x_i \in C_r} (\alpha \times \frac{\|x_i - \mu_r\|}{MaxDis.} + (1-\alpha) \times \frac{\log \frac{1}{p_i}}{\log \frac{1}{MinPower.}}) \quad (4)$$

x_i是cell的位置，p_i是cell的power，α是用來控制距離和power比重的參數，$MaxDis.$ 是從一個cell到最近stripe的最大距離，$MinPower.$ 是cell的功耗最小值。

另外，為了控制距離和功耗的影響，本研究標準化(normalize)了這兩個值，讓值的落在0到1之間。然而，如果功耗是由線性標準化(linear normalization)來標準化，除了某些hard block之外，它的值接近零，如此一來Eq. (4)將會主要是由距離來決定。因此，功耗應該由指數標準化來做標準化。每個standard cell標準化後的距離和功耗被表示在圖5，綠色的線表示在指數標準化(logarithmic normalization)後的功耗值，藍色的線表示cell和最近stripe在線性標準化(linear normalization)之後的距離值，紅色的線表示在線性標準化之後的功耗值。

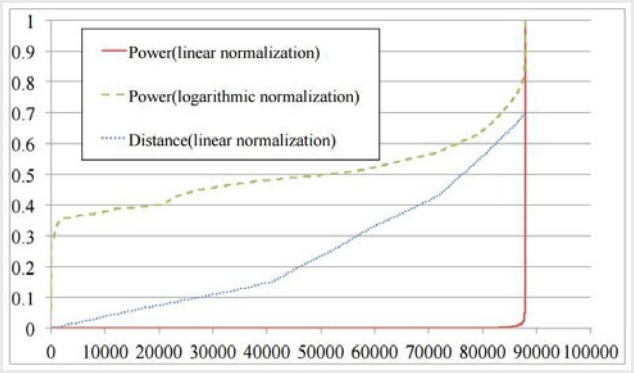

圖 5　分布圖顯示了不同標準化的方法如何影響距離和power的分布。

本研究的分群法被描述於圖6。Eq. (5)表示$F(x_i)$這個值，這個值建構於從cell到最近stripe位置μ_r的距離以及cell的功耗。

$$F(x_i) = (\alpha \times \frac{\|x_i - \mu_r\|}{MaxDis.} + (1-\alpha) \times \frac{\log \frac{1}{p_i}}{\log \frac{1}{MinPower.}}) \quad (5)$$

Input: The set of standard cell's location, $X=\{x_1, x_2, \ldots, x_n\}$. The set of standard cell's power, $P=\{p_1, p_2, \ldots, p_n\}$. The amount of stripes, Ns.
Output: $LocationOfStripe(C)$

```
1  Randomly choose a x_i from X;
2  Set x_i as the first stripe's location and then add x_i to C;
3  for j = 1; j ≤ Ns − 1 do
4      for each cell X_i ∈ X do
5          calculate F(x_i);
6      end
7      Randomly choose y between 0 and Σ_{i∈n} F(x_i)^2;
8      Find i such that
       Σ_{j=0}^{i} F(x_j)^2 ≥ y ≥ Σ_{j=0}^{i-1} F(x_{j-1})^2;
9      Set x_i as the stripe's location and then add x_i to C;
10 end
11 repeat
12     Assign cell x_i to nearest power stripe C_r;
13     Place C_r in the position with minimun Φ;
14 until Position of all stripes C_r ∈ C is stable;
```

圖 6　最佳化分群演算法。

一開始，cell的位置會隨機從X中來選取給第一條stripe(第1-2行)。對於剩下來的$N_s - 1$條stripe(第3行)，在決定下一個stripe位置前，$F(x_i)$的值每次都會更新(第4-6行)。然後，stripe位置的挑選是基於和$F(x_i)^2$成比例的機率(第7-9行)。在所有的stripe位置被挑選好之後，基於[11]的分群法會被採用在接下來的演算法。在分群法的迴圈中包含了兩個階段，第一個階段是去指派每個cell到最近的stripe(第12行)，另一個階段則是移動stripe到有最小Φ的位置(第13行)。當每一個stripe的位置都和前一次的相同時，遞迴會中止(第14行)。

4.3 移除多餘的stripes

因為某些power stripe可能會有相同的位置，導致在產生standard cell和hard macro後的DRC violation，故可以移除多餘的stripe來滿足DRC-rule並且減少power stripe的使用面積。圖7是一個電源供應網路雛型的簡單範例。

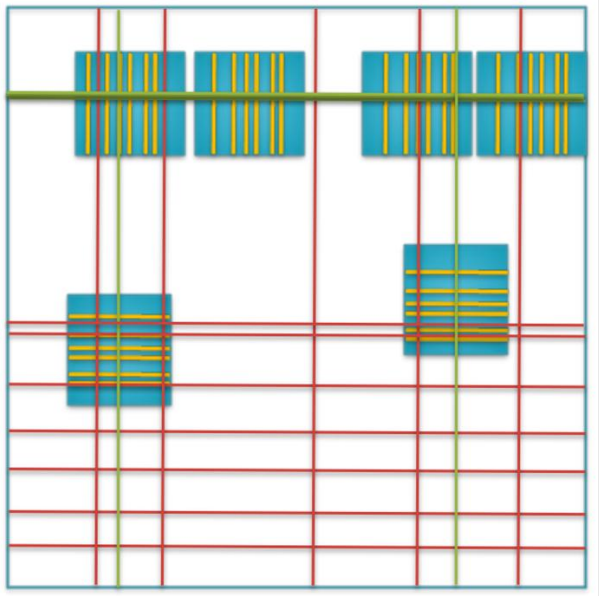

圖 7　晶片含有先擺放好的power stripe和許多有電軌在內的hard block。

紅色的stripe是在針對standard cell合成電源供應網雛型的階段產生的，綠色的線則是在考慮hard macro的P/G pin的旋轉角度產生的。其中有四條power stripe在相同的位置供給電壓給四個hard macros。假設每個stripe提供1單位的power以及每個hard macro需要0.3單位的power。將這個問題視作一個最大流量問題(maximum flow problem)，如圖8，然後用EdmondsKarp algorithm [12]來解它。在應用EdmondsKarp algorithm之後，對應到沒有流量(flow)net的power stripe會被移除，因為每個hard macro預期的功耗可以藉由其它的power stripe來達成。最後，有相同位置的power stripe會被移動，直到每個power stripe間的距離都比DRC rule的最小距離來得大。

5．電源供應網的最佳化

在這個段落，本研究採用了[13]提出的方法來分析電源網路。一個靈敏度矩陣(sensitive matrix)($G_s = \partial V/\partial R$)被建構來漸漸調整power stripe的寬度。它的每一行(row)會被表示成如Eq. (6)。

$$g_i = \{\partial v_i/\partial r_1, \partial v_i/\partial r_2, ..., \partial v_i/\partial r_m\}. \quad (6)$$

電壓的轉變可以被表示如Eq. (7)。然而為

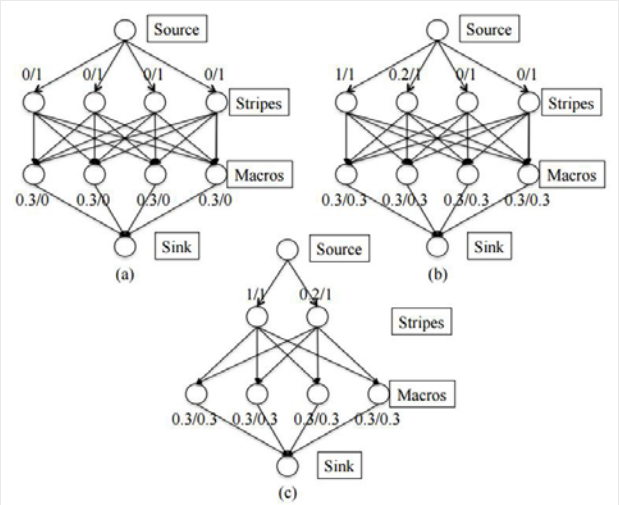

圖 8　(a) 這張圖表示了圖7。數字代表的是流(flow)和容量(capacity)，個別表示供給電壓和需要的電壓。(b) 這張圖表示了有最大流量的網路。沒有流量的net可以被移除掉。(c) 在移除掉不必要的power stripe之後。兩條power stripe足夠供應那些hard block需要的電壓。

了減少計算的功夫，本研究只考慮影響最嚴重的net，這個net連接到最近的節點。在Eq. (8)中，每個部分的電阻值r_{jk}可以藉由stripe的電阻R_k來表示。在最佳化的過程中，矩陣會每次都被重新建構並且經由序列線性規劃法[7]被解出。

$$v_i' = \partial v_i + v_i = g_i \partial r + v_i \quad (7)$$

$$\partial r_{jk} = \partial(l_{jk}/L_k)R_k \;\; j \in k \quad (8)$$

此外，本研究將考慮下列電源供應網最佳化的問題：1)在節點分析之前，必須考慮電源供應板的位能流失。本研究將power的流失提升至supply power的0.5%。2)熱效應和本研究的節點分析有關係。為了減少計算的功夫，我們使用了Eq. (9)的二次方程式(quadratic function)來計算熱效應影響下的電阻值：

$$R = R_o \times (1 + TC_1 \times \Delta T + TC_2 \times \Delta T^2) \quad (9)$$

TC_1和TC_2都是溫度的參數，$4T$是溫度的變異數(variance)。TC_1和TC_2的實際值和製程以及使用的金屬層有關係。

6．實驗結果

本研究的研究架構是以C++語言來實踐，以g++ 4.6.4來編譯，使用Cent OS 5.10在Intel Xeon E5620 2.4Ghz機器運作。本研究使用了IBM ILOG CPLEX Optimizer v12.6[14]來解在段落5的線性規劃問題。

本研究在實際的design case上實驗了提出的作法，這個實際的design case是用來針對BCH error的確認以及修正75748個在TSMC 65nm LP製程下的cell。Design的資訊包含standard cell的功耗、片電阻值、via的電阻值、chip的尺寸、每個instance的位置都經由OpenAccess [9]來取得。電源供應板被擺放在chip右邊中間偏下方的位置。將會產生一組command，它能夠在Encounter Digital Implementation System(EDI System) [10]平台上產生電源供應網路。另外，電源供應網的正確性會經由Encounter Power System (EPS) [15]來驗證。

首先，本研究採用兩種不同的方法來合成電源供應網路。其中一種是使用段落4提到的分群法，而另一種則是使用[7]提到的k-means分群法。V_{min}的限制被設定為供給電壓的98.5%，且當節點分析出較差的電壓超過V_{min}時，最佳化的過程將會中止。圖9顯示了不同IR-Drop限制下的拓樸(topology)，當降低IR-Drop的限制時電源供應網的分布會比較稀疏。由本研究的架構產生電源供應網以及它的IR-Drop分部會顯示在EDI平台上如圖10。

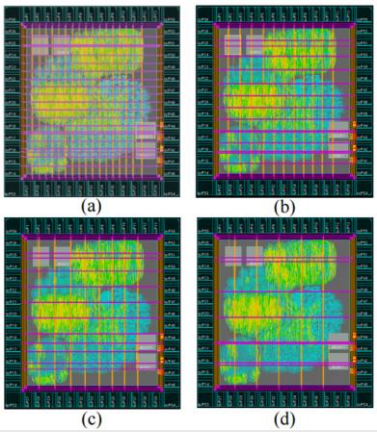

圖 9 本研究架構的拓樸(topology)在不同IR-Drop限制下，(a) 3%，(b) 4.5%，(c) 6%，(d) 10%。

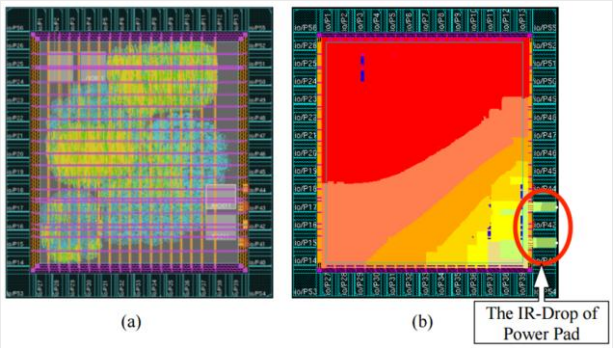

圖 10 (a) 本研究架構的拓樸(topology)顯示在EDI平台上。(b) 結果的電壓分布，最差的IR-Drop約是2%。除此之外，電源供應板的IR-Drop也被顯示在右邊中間偏下方的位置。

表2列出了兩種方法的性能。如表格所示，如果只使用等價模型來預估stripe的數量，兩種方法的IR-Drop最大值約在25mv左右。本研究架構下最差的IR-Drop小於使用k-means分群法的IR-Drop，這證明了將功耗和電源供應板的IR-Drop納入考慮的正確性，如圖10(b)所示。

表 2 在BCH ECC(TSMC 65nm LP製程)下使用本研究的分群法以及k-means分群法來合成電源供應網的分析

Synthesis Method	Our/Eqv Mdl	K-means/Eqv Mdl
# of Hori. Stripes	35	35
# of Vert. Stripes	39	39
Min. Vol. (V.)	1.17545	1.17521

表3顯示了使用EPS分析後兩種方法的電壓分布，相較於使用k-means分群法/等價模型，本研究的分群法/等價模型有比較好的結果。本研究的分群法/等價模型有大約42%低於閥值電壓1.7852V。相對地，k-means分群法/等價模型有約45%低於閥值電壓1.7852V。

表 3 在BCH ECC(TSMC 65nm LP製程)下使用本研究的分群法與k-means分群法節點電壓的分布

Voltage Range	Our clustering method		k-means clustering method	
	Count #	%	Count #	%
1.20000-1.19693	78.788K	4.55	78.462K	4.52
1.19693-1.19386	74.947K	4.33	74.444K	4.29
1.19386-1.19079	54.947K	3.17	57.123K	3.29
1.19079-1.18772	117.121K	6.76	109.401K	6.30
1.18772-1.18465	126.786K	7.32	124.431K	7.17
1.18465-1.18159	153.8K	8.88	140.945K	8.12
1.18159-1.17852	394.447K	22.77	367.022K	21.15
1.17852-1.17545	731.464K	42.22	782.25K	45.07
1.17545-1.17521	0.000	0	1.56K	0.09

7．結論

本篇論文提出了一個實用的設計流程，它可以被延伸到現今業界的設計流程中，特別是要維持精確度與效率時。本研究的方法先分析了給定的輸入之後合成電源供應網。在產生電源供應網後，使用節點分析以及序列線性規劃法來最佳化電源網路，直到限制條件都被滿足。在實驗結果部分，本研究在商用P&R軟體EDI上證明了所提出架構的有效性。除此之外，我們以這個架構參與2014年新思科技APPs設計競賽獲得了優等獎的殊榮，可與新思科技之商用平台結合，發揮可商品化之效益，如圖11。

(a) (b)

圖 11 (a)參與2014年新思科技APPs設計競賽優等獎獎牌。(b) 2014年新思科技APPs設計競賽決賽頒獎留影。

參考文獻

[1] H. Chen, C.-K. Cheng, A. B. Kahng, M. Mori, and Q. Wang, "Optimal Planning for Mesh-Based Power Distribution," in *Proceedings of the Asia and South Pacific Design Automation Conference*, pp. 444– 449, 2004.

[2] X.-D. Tan, R. Shi, and J.-C. Lee, "ReliabilityConstrained Area Optimization of VLSI Power/Ground Networks via Sequence of Linear Programmings," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 22, pp. 1678– 1684, Dec. 2003.

[3] K.-H. Erhard, F. Johannes, and R. Dachauer, "Topology Optimization Techniques for Power/Ground Networks in VLSI," in *Proceedings of the European Design Automation Conference*, pp. 362– 367, 1992.

[4] A. Vittal and M. Marek-Sadowska, "Power Distribution Topology Design," in *Proceedings of the Design Automation Conference*, pp. 503– 507, 1995.

[5] T. Mitsuhashi and E. S. Kuh, "Power and Ground Network Topology Optimization for Cell Based VLSIs," in *Proceedings of the Design Automation Conference*, pp. 524– 529, 1992.

[6] X.-D. Tan, C.-J. R. Shi, D. Lungeanu, J.-C. Lee, and L.- P. Yuan, "Reliability-constrained Area optimization of VLSI Power/ground networks via Sequence of Linear Programmings," in *Proceedings of the Design Automation Conference*, pp. 78– 83, 1999.

[7] S. S.-Y. Liu, C.-J. Lee, C.-C. Huang, H.-M. Chen, C.- T. Lin, and C.-H. Lee, "Effective Power Network Prototyping via Statistical-based Clustering and Sequential Linear Programming," in *Proceedings of the Conference on Design, Automation and Test in Europe*, pp. 1701– 1706, 2013.

[8] C.-W. Liu and Y.-W. Chang, "Power/ground Network and Floorplan Cosynthesis for Fast Design Convergence," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 26, no. 4, pp. 693– 704, 2007.

[9] M. Guiney and E. Leavitt, "An Introduction to OpenAccess: An Open Source Data Model and API for IC Design," in *Proceedings of the Asia and South Pacific Design Automation Conference*, pp. 434– 436, 2006.

[10] "EDI 13.24." http://www.cadence.com/products/di/pages/default.aspx.
[11] S. Lloyd, "Least Squares Quantization in PCM," *IEEE Transactions on Information Theory*, vol. 28, no. 2, pp. 129– 137, 1982.
[12] J. Edmonds and R. M. Karp, "Theoretical Improvements in Algorithmic Efficiency for Network Flow Problems," *Journal of the ACM*, vol. 19, no. 2, pp. 248– 264, 1972.
[13] C.-W. Ho, A. Ruehli, and P. Brennan, "The Modified Nodal Approach to Network Analysis," *IEEE Transactions on Circuits and Systems,* vol. 22, pp. 504– 509, June 1975.
[14] "IBM ILOG CPLEX Optimizer." http://www-01.ibm.com/software/integration/optimization/cplex-optimizer/.
[15] "EPS 13.1." http://www.cadence.com/products/di/eps / pages/default.aspx.
[16] B. Hwang, J. Koo, C. Hwang, and Y. Cheon, " Fast power delivery network analyzer," in Proceedings of Quality Electronic Design (ISQED), pp.1-4, 2011.
[17] C.-J. Lee, S.-Y. Liu, C.-C. Huang, H.-M. Chen, C.-T. Lin, and C.-H. Lee, "Hierarchical power network synthesis for multiple power domain designs," in Proceedings of IEEE ISQED' 12. IEEE, pp. 477– 482, 2012.

作者簡介

林昌賜

資訊與通訊研究所 / 設計自動化技術組 / 三維晶片整合部 / 副經理。逢甲大學資訊工程學系博士。專長為VLSI設計自動化、演化式最佳化與低功率實體設計。目前研究興趣為三維整合技術與方法、PDN合成與修補技術、可製造性設計自動化。
E-mail: ctzulin@itri.org.tw

黃家麒

聯發科技 / 無線技術開發本部 / 晶片開發一處 / 工程師。國立交通大學電子研究所碩士。專長為時脈樹低功耗設計與電源供應網設計。
E-mail: brianhuang27@gmail.com

廖偉勛

國立交通大學電子研究所 / VDALab / 碩士班2年級。國立交通大學電子研究所碩士生。專長為電源供應網路設計及圖形化使用者介面設計。
E-mail: weihsun.ee02g@nctu.edu.tw

方聖心

國立交通大學電子研究所 / VDALab / 碩士班1年級。國立交通大學電子研究所碩士生。專長為實體設計自動化。
E-mail: vanessafang.ee02g@nctu.edu.tw

周永發

資訊與通訊研究所 / 設計自動化技術組 / 技術組長。國立清華大學電機工程研究所博士。研究專長為記憶體與數位積體電路的設計與測試。
E-mail: yfchou@itri.org.tw

蒯定明

資訊與通訊研究所 / 設計自動化技術組 / 技術組長。加州大學聖塔芭芭拉分校電機與計算機工程學系博士。研究專長為三維整合、平行處理與記憶體設計。
E-mail: dmkwai@itri.org.tw