

低功耗行動裝置晶片之新穎雜訊感測器擺置技術

A New Noise Sensor Placement Technique for Low Power Mobile Device

洪郁翔 林昌賜 方聖心 陳宏明 周永發 蒯定明
Yu-Hsiang Hung, Chang-Tzu Lin, Sheng-Hsin Fang, Hung-Ming Chen, Yung-Fa Chou, Ding-Ming Kwai

中文摘要

在現今低功耗行動裝置、及近臨界電壓計算的環境下，電壓緊急狀況正嚴重地威脅著先進電路設計的雜訊邊界，電壓雜訊感測器則可被用來避免運行中的電壓完整性議題。在這份技術文章中，採用了一種根據關聯性法則探勘來規劃及擺置雜訊感測器的新技術，這個方法可以考慮失誤率(任何一個節點發生電壓緊急狀況，而感測器沒有偵測出來的機率)，並同時最小化使用的感測器數目。研究結果顯示，此技術著重於使用最少數量感測器的目標下，在收斂失誤率上是非常有效的；在使用相同的測試資料下，與最新的感測器擺置技術作比較，此方法可以減少使用一半的感測器數目，又同時達到可比擬的失誤率，甚至是更小的失誤率。

Abstract

Due to low-power mobile device and near-threshold computing nowadays, voltage emergency is threatening our design margins very seriously. Noise sensors are inserted in order to prevent various integrity issues from happening during runtime. In this technical article, we use a new technique based on association rule mining to plan and place noise sensors. This new methodology can consider the miss rate (the probability of any node occurring voltage emergency without any detection by placed sensors) and simultaneously minimize the number of sensors utilized. The results show that our technique is very effective in converging the miss rate to zero by the least number of sensors. Compared with the state-of-the-art, we can reduce the number of sensors by half in benchmarks while the miss rate is comparable or even smaller than the prior work.

關鍵詞

電源供應網(Power Delivery Network ; PDN)

分群法(Clustering Method)

電壓降(IR-drop)

1 · 簡介

近年來隨著行動裝置(Smart Phone、Smart Bracelet、及Tablet Computer等等)市場需求的快速成長，低功耗低電壓(Low Power/Low Voltage, LP/LV)的技術發展變得相當重要，如圖 1，當供應電壓因為Power Wall持續降低，而臨界電

壓(Threshold Voltage)因為漏電流(Leakage Current)的因素無法同步的下降，致使電源雜訊邊界(Noise Margin, NM)不斷的微縮[1]，在這麼嚴苛的環境下，每個標準單元(Standard Cell)對於電壓的波動非常的敏感，使得電源真實性(Power Integrity)的議題越來越被重視。違反雜訊邊界(Noise Margin Violation，又稱為電壓緊

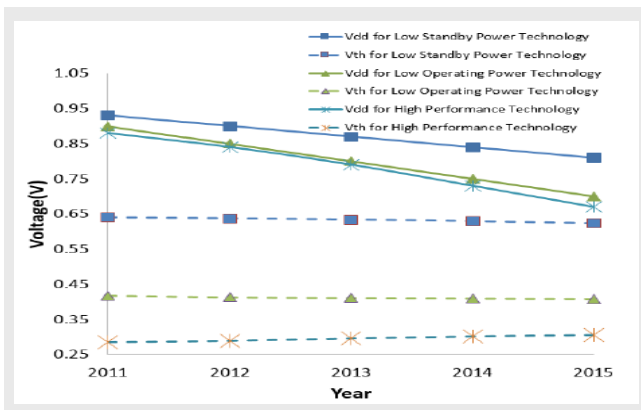


圖 1 供應電壓以及臨界電壓趨勢[1]。

急狀況)，被定義為電壓雜訊的振幅大於臨界電壓長達臨界時間，將會導致不被期待的結果像是時序限制違反(Timing Violations)的議題，甚至是功能正確性(Function Correctness)議題，而這樣的結果都會衰退整體的效能。

電源真實性議題可以分為靜態壓降(Static IR-Drop)以及動態壓降(Dynamic IR-Drop)，而靜態壓降主要是因為電源供應網與生俱來的電阻所產生的壓降，這個議題已經有非常多的論文[2][3]提出有效的演算法來解決，然而動態壓降這部分也有論文以金屬尺寸調整(Metal Sizing)[4]或擺置去耦合電容(Decoupling Capacitance Insertion)[5]的方法來解決。近幾年來，由於電路的設計越來越複雜，使得動態壓降的問題日益嚴重，[6]宣稱若去耦合電容不能被放置在動態壓降的熱區，即使擺置了將近200K個去耦合電容粒子，改善程度仍然是非常不顯著的。[7]提出了當設計已經凍結之後，在所有可以使用的繞線軌道都填充金屬並連接至電源端及接地端，也只有2%的動態壓降可以被改善。除此之外，這些技術在先進製程以及近臨界電壓的操作環境下，可能會產生很大的成本以及額外的負擔，並且會有產生漏電流的問題。

近年來，運行雜訊管理系統[8](Runtime Noise Management System)已成為一種避免動態電壓雜訊對指令執行正確性(Correctness)、及延遲(Timing Delay)的潮流，而運行管理系統又可以細分為主動系統(Proactive System)以及被動系統(Retroactive System)，這些系統都是根據是否有發生電壓緊急狀況(Voltage Emergency)

來啟動機制。主動系統會去紀錄指令執行的狀態，以及追蹤指令執行的順序，當曾經發生過電壓緊急狀況的指令組合再次出現的時候，主動系統會立即啟動掐住(Throttle)指令的動作，待電壓恢復正常值的時候，會再次執行指令。而被動系統則需要依靠感測器來偵測電壓緊急狀況，並啟動掐住指令；因此，被動系統的效能非常依賴感測器擺放的位置，但感測器擺放演算法目前仍未被完善解決。有鑑於感測器的成本，及擺放時產生的額外代價，晶片在設計時只能擺放有限數目的感測器。[8]提出一個統計的框架來解決雜訊感測器擺置問題，然而他們只有考慮到失誤率的部分。[9]提出了一個偵測電壓緊急狀況的方法，藉由從感測空白區域的電壓值來預測功能區域的電壓值，然而他們沒有考慮到其中產生額外預測的時間成本。因此，在這篇論文中，一個新穎的演算法被提出來，兼具考慮失誤率、及最小化感測器數目。

2. 電壓緊急狀況模型

為了降低辨識電壓緊急狀況的複雜度，取每個節點的電壓波形在每段臨界時間內的最低值，用來表示該節點在該時間點的值，有了這個簡化的方法，可以很輕易的判斷節點在相對應的時間是否有發生電壓緊急狀況。由圖2可以觀察到，當該最低值高於臨界電壓，就會認為該節點在該時間點有電壓緊急狀況；相反的，若該最低值未超過臨界電壓，則認定該節點在相對的時間點是未發生電壓緊急狀況。

雜訊感測器擺置演算法的目標為最小化失誤率，並使用最少的感測器數目，失誤率為

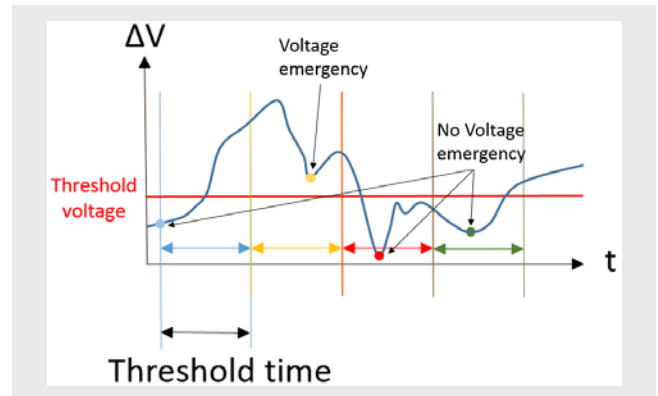


圖 2 簡化的電壓緊急狀況定義。

任一節點發生電壓緊急狀況而感測器沒有偵測出來的機率，可將失誤率(Miss Rate)以數學公式表示，如底下公式所示：

$$MR = p(\Delta V_i > V_t \mid \Delta V_{N1} < V_t, \Delta V_{N2} < V_t, \dots, \Delta V_{Nm} < V_t)$$

其中

V_i ：任一節點的雜訊電壓值

V_{Ni} ：有擺放感測器結點的雜訊電壓值

V_t ：電壓緊急狀況臨界值

根據上述公式，為了降低失誤率，必須將感測器擺置在發生電壓緊急狀況頻率較高的節點；除此之外，為了達成使用最少的感測器數目，必須最小化感測器彼此所涵蓋節點電壓緊急狀況的重疊性。

3 · 關聯式法則探勘演算法

圖3為整個演算法的架構圖。首先，會對節點做前處理，將每個節點作暫態模擬，得到所有時間點的波形圖，再使用簡化的電壓緊急狀況定義，判斷該節點是否有發生電壓緊急狀況。以圖4最左邊的表格來做例子，Transaction Index (TID)欄為時間點代號，而Nodes欄中為該時間點有發生電壓緊急狀況的節點；例如在第1個時間點有三個節點b、e以及f節點發生電壓緊急狀況。

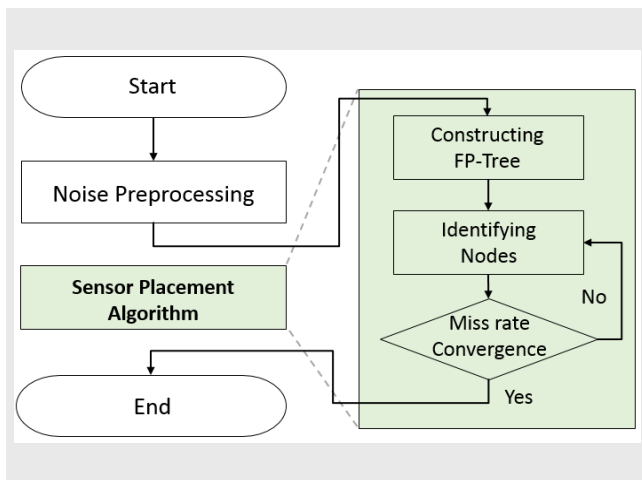


圖 3 演算法的流程圖。

TID	Nodes
1	b,e,f
2	a,c,d,e
3	a,e
4	a,c,e
5	c,d
6	a,b,e
7	a,d,e
8	c,d,g
9	a,c,e,f
10	a,b,e

$e \rightarrow 8$
 $a \rightarrow 7$
 $c \rightarrow 5$
 $d \rightarrow 4$
 $b \rightarrow 3$
 $f \rightarrow 2$
 $g \rightarrow 1$

TID	Nodes
1	e,b,f
2	e,a,c,d
3	e,a
4	e,a,c
5	c,d
6	e,a,b
7	e,a,d
8	c,d,g
9	e,a,c,f
10	e,a,b

圖 4 節點電壓緊急狀況的範例。

本技術將雜訊感測器擺置問題視為關聯式法則探勘問題，透過關聯式法則方法，來同時考慮失誤率、及感測器的使用數量。本文採用關連式法則探勘中的FP-Growth演算法[10]，因為此方法是目前關連式法則探勘中最快且最有效率的方法之一。

在FP-Growth演算法中，首先針對所有節點，依其發生電壓緊急狀況的次數做排序，除此之外，這個排序是以遞減的方式來呈現，因此可以得到如圖4中間的順序，有了這個排序後，再將原本資料中每一時間點內的節點，依照此排序，重新排列成如圖4最右邊的表格。

底下的討論，分別使用項目、及節點來代表圖4右方表格中，有發生電壓緊急狀況的節點，和圖5中FP-Tree內部的節點。在完成排序後，逐一掃描每個時間點來建構FP-Tree，每個時間點依發生電壓緊急狀況次數由高到低來掃描每個項目，且每一個時間點都從根(Root)節點開始。首先，將父節點設定為根節點，若父節點有與被掃描項目一樣名稱的子節點，則將該子節點的出現次數加一並且將父節點移到該子節點；相反的，若父節點沒有與被掃描項目一樣名稱的子節點，則在父節點下新增一個與被掃描項目一樣名稱的子節點，並且設定該子節點出現次數為一及將父節點移至該子節點，經由反覆的執行這個動作可以完成FP-Tree。如圖5(a)為建構好一個時間點的FP-Tree，圖5(b)、圖5(c)分別為建構好兩個時間點以及所有時間點的FP-Tree。

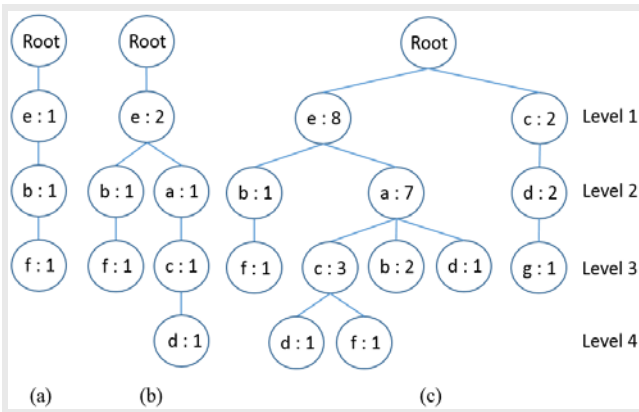


圖 5 FP-Tree。

在將節點電壓緊急狀況資訊建構成 FP-Tree 後，問題轉化成如何從 FP-Tree 中挑出重要的節點來擺放感測器；如之前提到的公式，必須讓失誤率最小，亦即要讓擺放感測器的節點發生電壓緊急狀況的機率越高。從 FP-Tree 上的觀察，挑出需要擺放感測器的節點是可以非常直觀的，因為經由排序後，每個時間點內發生的電壓緊急狀況，頻率最高的節點都會位在 FP-Tree 最低的層數，即圖 5 中的 Level 1。除此之外，為了達到使用的感測器數目最少，必須降低感測器彼此之間對於的偵測電壓緊急狀況的重疊性，在 FP-Tree 的結構中，根節點底下每個子樹內的節點，分別都是相關性非常高的節點，而不同子樹內的節點的相關性會是最低的，換言之，當完成建構 FP-Tree，第一層節點均為需要擺放感測器的節點。

以圖 4 中間的排序為例，若限制只能擺放兩個感測器，且單純以發生電壓緊急狀況的次數來決定擺置感測器的節點，那麼，節點 a 勢必會成為需要擺置感測器的節點之一；但是，從圖 5(c) 可以觀察到，節點 e 與節點 a 均會同時發生電壓緊急狀況。因此，在選擇節點 e 的情形下，再選擇節點 a 來擺置感測器，對失誤率是不會增加貢獻的。經由圖 5(c) 的 FP-Tree，可以快速辨識出節點 e 無法涵蓋的電壓緊急狀況，因此，可直接選出節點 c 來擺置感測器。如此一來，便可降低使用感測器的數目。

4. 實驗結果

本研究的實驗數據是實作在一台 2.6GHz Intel Xeon E5-2630 V2 CPU 以及 32GB 記憶體

機器上。首先，會對三個不同測試資料 (Benchmarks) 模擬出的雜訊 (Noise) 資訊作處理，而這三個測試資料是從 [8] 作者提供的業界設計 (Design) 萃取出的。

本技術的目標為使用最少的感測器來最小化失誤率，而失誤率的計算方式為 T_{miss}/T_{total} ，其中 T_{miss} 及 T_{total} 分別代表電壓緊急狀況偵測失誤 (也就是，任一節點發生電壓緊急狀況而感測器未偵測出來) 的次數，及全部掃描的所有時間數。由圖 6 及圖 7 可以發現 (#Node L1 為在 FP-Tree 中 Level 1 的節點個數，#Node placed 為擺置感測器的數目)，經由所提出的方法來擺置感測器，會在 FP-Tree 中 Level 1 的節點均擺放感測器去偵測，失誤率都可以被降低至零；除此之外，圖 8 顯示在每一個測試資料都能快速的收斂失誤率，因為由 FP-Tree 所選出來的任何一個節點對失誤率的降低都是有貢獻的，如此一來，可以最小化感測器的數目。

Benchmark	BM1		BM2		
#Node L1	2		3		
#Node placed	1	2	1	2	3
Miss rate	2.50%	0%	34.25%	2.50%	0%

圖 6 測試資料一 (BM1) 及測試資料二 (BM2) 的失誤率、及使用的感測器數目。

Benchmark	BM3			
#Node L1	4			
#Node placed	1	2	3	4
Miss rate	51.75%	34.75%	17.25%	0%

圖 7 測試資料三 (BM3) 的失誤率、及使用的感測器數目。

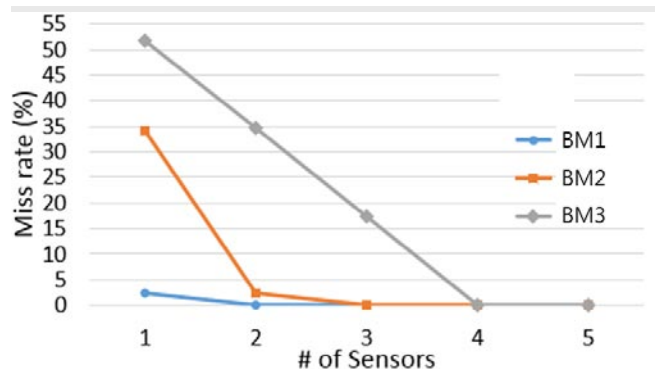


圖 8 三種測試資料的失誤率、及使用的感測器數目趨勢圖。

圖9為本技術與最新感測法擺置技術[8]的比較結果。兩個方法都設定5%供應電壓為電壓緊急狀況的臨界電壓。可以觀察到我們的方法在收斂失誤率是比較有效率的。[8]所使用的方法。萃取出來的第二個至第五個節點比較沒有辦法有效的縮小失誤率。因為[8]專注在找出有嚴重壓降的節點。若這些有嚴重壓降的節點在FP-Tree內屬於同一個子樹。而這個子樹內的節點是位於經常造成瞬間大電流或複雜運算的區域。這些節點有很大的機率會同時發生電壓緊急狀況。然而。現今的運行雜訊管理系統為中央控制的。只要一個感測器提出電壓緊急狀況。系統即會啟動。在這樣的情況下。只需要在子樹內選出重要的節點來偵測即可。因此。不應該單方面只考慮有較大壓降的節點來擺置感測器。本文提出的技術除了考慮節點發生電壓緊急狀況的頻率。同時也考慮了節點間互相的活動關係。因此經由FP-Tree來萃取節點的方法。不僅可以快速的收斂失誤率。亦可同時達到使用最少的感測器數目。

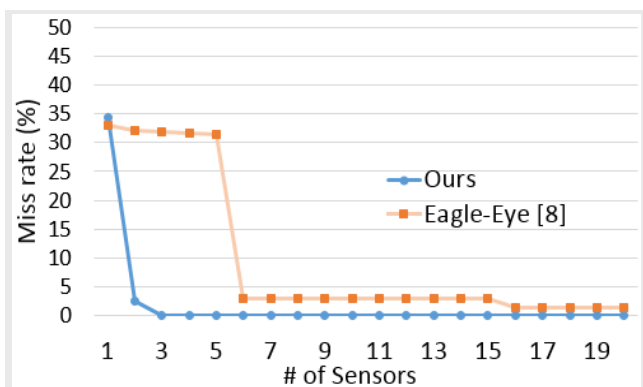


圖 9 與最新感測法擺置技術[8]比較的結果。

圖10為測試資料三。經由FP-Tree所挑選出來需要擺放感測器的節點資訊。圖10(a)為Level1的節點。以自己節點為根節點的子樹中發生電壓緊急狀況的次數。圖10(b)為Level1的節點在整個FP-Tree中發生電壓緊急狀況的次數。兩圖右邊的顏色標記及數字為被選出擺放感測器的次序。比較兩圖可以觀察出。第一個選出的節點(圖8中藍色的部分)是發生電壓緊急狀況次數最高的節點。因此。可以快速的下降失誤率；然而。第二個選出的節點(圖10橘色部分)。雖然在圖10(b)整個FP-Tree中的發生次

數少於第三個被選出的節點。但這個節點在以自己節點為根節點的子樹(圖10(a))。卻有較高的發生次數。亦即。第二個選出的節點有100次發生電壓緊急狀況。是在將感測器擺放在第一個選出節點無法偵測出來的情況下。因此。為了快速的收斂失誤率。挑選後面的節點會根據子樹內的次數。而不會根據整個FP-Tree出現的次數來考量；再者。可以觀察到第四個被選出的節點在兩圖中的次數一樣。也就是說。這個節點發生電壓緊急狀況的情形完全獨立於前面三個所選出的節點。因此。使用FP-Tree的方法可以快速的找出發生電壓緊急狀況頻率高的節點(可以快速收斂失誤率)；除此之外。還能夠找出節點彼此間發生電壓緊急狀況的關係(可以最小化需要擺置感測器的數目)。不論是在感測器數目是否被限制的情況下。FP-Tree均能達到好的效果。在沒被限制的情形中。可以在整個FP-Tree中位於第一層的所有節點去擺放感測器。在有限制的情況下。可以根據每個子樹內發生電壓緊急狀況的次數來為需要被偵測的節點做重要性的排序。因此。使用FP-Tree來找出需要擺置感測器的節點是非常有效的。

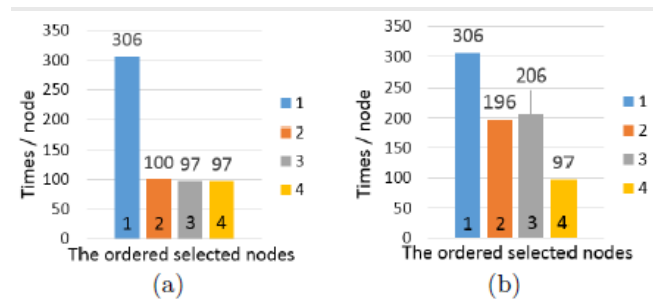


圖 10 測試資料三中挑選出的節點資訊。

5. 結論

在這篇技術論文中。一個可以同時最佳化失誤率。及最少化感測器數目的方法被提出來；除此之外。亦將雜訊感測器問題模擬成關聯性法則探勘。實驗數據顯示。這個方法可以有效且快速收斂失誤率。甚至降低至零。與最新穎的感測器擺置方法比較下。失誤率均可比擬或低於其結果。所利用的感測器數目亦只有一半。

參考文獻

- [1] International Technology Roadmap for Semiconductors.
- [2] Chia-Chi Huang, Chang-Tzu Lin, Wei-Syun Liao, Chieh-Jui Lee, Hung-Ming Chen, Chia-Hsin Lee, Ding-Ming Kwai, "Improving Power Delivery Network Design by Practical Methodologies", in Proceedings of ICCD , pp.237-242, 2014.
- [3] Sean Shih-Ying Liu, Chieh-Jui Lee, Chuan-Chia Huang, Hung-Ming Chen, Chang-Tzu Lin, Chia-Hsin Lee, "Effective Power Network Prototyping via Statistical-based Clustering and Sequential Linear Programming," in Proceedings of DATE, pp.1701-1706, 2013.
- [4] Dutta, R., Marek-Sadowska, M., "Automatic sizing of power/ground networks in VLSI," in Proceedings of DAC, pp.783-784, 1989.
- [5] Yiyu Shi, Jinjun Xiong, Chunchen Liu, Lei He, "Efficient decoupling capacitance budgeting considering operation and process variations," in IEEE Transactions on Computer-Aided Design of Integrated Circuits System, pp.1253-1263, 2008.
- [6] Shi-Hao Chen, Ke-Cheng Chu, Jiing-Yuan Lin, Cheng-Hong Tsai, "DFM/DFY practices during physical designs for timing, signal integrity, and power," in Proceedings of ASP-DAC, pp.232-237, 2007.
- [7] Nithin, S.K., Shanmugam, G., Chandrasekar, S., "Dynamic voltage (IR) drop analysis and design closure: Issues and challenges," in Proceedings of ISQED, pp. 611-617, 2010.
- [8] T. Wang, C. Zhang, J. Xiong, and Y. Shi. "Eagle-eye: A near-optimal statistical framework for noise sensor placement". in Proceedings of ICCAD, pp.437-443, June 2013.
- [9] X. Liu, S. Sun, P. Zhou, X. Li, and H. Qian. "A statistical methodology for noise sensor placement and full-chip voltage map generation". in Proceedings of DAC, pp.1-6, 2015.

- [10] J. Han, J. Pei, and Y. Yin. "Mining frequent patterns without candidate generation," in Proceedings of the ACM SIGMOD ICMD, pp. 1-12, 2000.

作者簡介

洪郁翔



國立交通大學電子研究所 / VDALab / 碩士班2年級。國立交通大學電子研究所碩士生。專長為實體設計自動化。

E-mail:
yhhung.ee03g@g2.nctu.edu.tw

林昌賜



資訊與通訊研究所 / 設計自動化技術組 / 三維晶片整合部 / 副經理。逢甲大學資訊工程學系博士。專長為VLSI設計自動化、演化式最佳化與低功率實體設計。目前研究興趣為三維整合技術與方法、PDN合成與修補技術、可製造性設計自動化。

E-mail: ctzulin@itri.org.tw

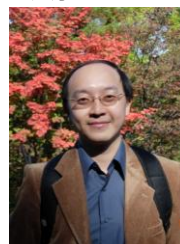
方聖心



國立交通大學電子研究所 / VDALab / 碩士班2年級。國立交通大學電子研究所碩士生。專長為實體設計自動化。

E-mail:
vanessafang.ee02g@nctu.edu.tw

陳宏明



國立交通大學電子工程學系 / 電子研究所/教授。國立交通大學電子工程學系教授。專長為實體設計自動化。

E-mail:
hmchen@mail.nctu.edu.tw

周永發



資訊與通訊研究所 / 設計自動化技術組 / 技術組長。國立清華大學電機工程研究所博士。研究專長為記憶體與數位積體電路的設計與測試。

[E-mail: yfchou@itri.org.tw](mailto:yfchou@itri.org.tw)

崩定明



資訊與通訊研究所 / 設計自動化技術組 / 技術組長。加州大學聖塔芭芭拉分校電機與計算機工程學系博士。研究專長為三維整合、平行處理與記憶體設計。

[E-mail: dmkwai@itri.org.tw](mailto:dmkwai@itri.org.tw)