

# 5G小型基地台關鍵元件與平台之探索

## Exploring Key Components and Platform for 5G Small Cell

方士豪 林敬銜 劉俊男 魏鴻富  
Shih-Hao Fang, Jing-Shiun Lin, Chun-Nan Liu, Hung-Fu Wei

### 中文摘要

因應第五代行動通訊技術標準(The Fifth Generation Mobile Communication Technology Standard ; 5G)之高資料傳輸率(Data Rate)與高頻寬(Bandwidth)需求，且資料傳輸率在次6GHz(sub-6GHz)頻段至少要達到1Gbps，傳統工研院所開發LTE/LTE-Advanced小型基地台(Small Cell)之TI DSP硬體平台架構(Hardware Platform Architecture)已經無法符合上述需求目標；為了針對5G行動通訊技術之硬體平台架構進行分析與討論，本篇論文首先將第三代合作夥伴計劃(3rd Generation Partnership Project ; 3GPP)組織所討論之未來5G行動通訊標準趨勢進行介紹，並將其中可能之關鍵元件進行資源需求分析，最後再針對各種關鍵元件之需求進行整體考量並提出可能得硬體平台(Hardware Platform)架構，此外亦分析此硬體平台之成本(Cost)與功率消耗(Power Consumption)。

### Abstract

In the fifth generation mobile communication technology standard (5G), the requirements of data rate and bandwidth are very high. Additionally, the data rate must be up to 1Gbps under sub-6GHz transmission. Due to the above high requirements, the traditional 4G small cell using TI-based hardware platform architecture developed by ITRI cannot meet the final target. To give analysis and discussion of hardware platform architecture for 5G mobile communication, this paper first overviews the future 5G mobile communication standard discussed by 3rd Generation Partnership Project (3GPP) organization. Furthermore, the resource requirements for possible key components in 5G standard are also analyzed. Finally, by considering the overall requirements of key components, the possible hardware platform architecture is proposed and related cost and power consumption are also analyzed.

### 關鍵詞(Key Words)

長期演進技術(Long Term Evolution ; LTE)  
第五代行動通訊(The Fifth Generation Mobile Communication)  
行動通訊(Mobile Communication)  
小型基地台(Small Cell)  
硬體平台(Hardware Platform)  
架構探索(Architecture Exploration)  
通道編碼(Channel Coding)  
快速傅利葉轉換(Fast Fourier Transform, FFT)

## 1. 前言

由於目前行動裝置(Mobile Devices)大幅成長，因此使用者對於行動通訊之網路頻寬需求將會大幅增加，因此現有四代行動通訊系統(4G)可能會在未來無法滿足高資料傳輸率的需求[1]-[5]，因此許多國際主要通訊研究組織、通訊大廠、電信營運商、及台灣在內之各國政府，紛紛投入相當龐大的資源來進行第五代行動通訊(5G)技術先期研究與專利布局。要達成高資料量傳輸需求可從三個面向來處理：(1)增加頻寬(Bandwidth)、(2)提高頻譜效率(Spectral Efficiency)、(3)提升網路密度(Network Density)。文獻[6]中提出了未來5G系統的可能五種技術，如裝置與中心架構(Device-Centric Architectures)、毫米波(Millimeter Wave; mmWave)、巨量天線(Massive Multiple Input Multiple Output; Massive MIMO) [7]-[10]、更智慧裝置(Smarter Devices)、與支援Machine-to-Machine (M2M)通訊等技術。第三代合作夥伴計劃(3rd Generation Partnership Project; 3GPP)標準制定組織已經自Release 14開始進行5G標準技術制定，從2015年9月所舉行的5G Workshop中，各家公司後續主要是針對增強型移動寬頻(Enhanced Mobile Broadband; eMBB)、巨量機器類通信Massive Machine Type Communication; mMTC)、超可靠度低延遲通訊(Ultra-Reliable Low-Latency Communication; URLLC)等三大方向來進行標準制定與技術討論，如圖1所示；因此包含工研院在內的各國通訊大廠與國內相關公司與組織，近期將會持續關注此5G標準的發展動態，因此發展下世代通訊技術已經迫在眉睫。

根據目前3GPP組織在RAN1各會期的討論，目前5G新型無線電(New Radio; NR)主要可針對以下幾種面向來做討論，分別為(a)起

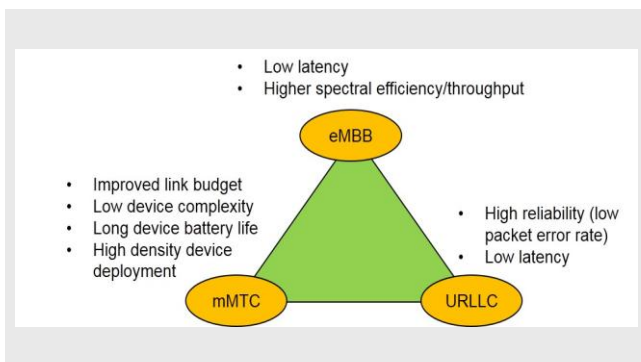


圖1 3GPP組織於5G標準三大制定方向

始接取與行動技術(Initial Access and Mobility Technology)、(b)通道編碼與調變技術(Channel Coding and Modulation)、(c)新型態波形技術(New Waveform Technology)、(d)多重存取技術(Multiple Access Technology)、(e)多天線技術(Multiple Antenna Technology)、(f)框格式(Frame Structure)等方面。而各技術的趨勢將會在未來幾個會期更加明朗。

在5G網路中，系統容量(System Capacity)必須要比現有4G網路高出1000倍，而要達成此目標最有效的方式就是提高網路密度，即文獻上所討論的超高密度網路(Ultra-Dense Network; UDN)技術，而要達成此佈建目標必須要配合小型基地台(Small Cell)設備才能夠達成，因此小型基地台在未來的5G應用中扮演不可或缺的角色。因應第五代行動通訊技術標準5G之高資料傳輸率(Data Rate)與高頻寬(Bandwidth)需求，工研院已經在Globecom 2014發表一針對毫米微波頻帶所設計之5G系統雛形(System Prototype)[11]，如圖2所示，此系統之資料輸出率可達1Gbps，但是針對次6GHz頻帶(sub-6GHz)之小型基地台之設計則尚未明朗；未來資料傳輸率在次6GHz頻段至少要達到1Gbps，傳統工研院所開發LTE/LTE-Advanced小型基地台之TI DSP硬體平台架構(Hardware Platform Architecture)如圖3與圖4所示，已經無法符合未來應用之需求目標，因此本篇論文將會針對未來5G可能之關鍵元件進行資源需求分析，最後再針對各種關鍵元件之需求進行整體考量並提出可能得硬體平台架構。本篇論文的摘要如下：首先第2部分會先介紹目前3GPP組織所制定之5G通訊標準，並且說明5G相關技術與未來標準制定趨勢；第3部分將會說明關鍵元件之硬體需求分析。第4部分則是針對硬體平台進行討論。最後第5部分將會總結此論文。

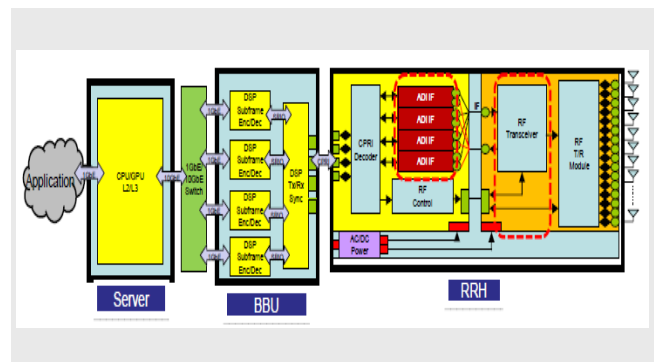


圖2 工研院5G小型基站於mmWave頻帶之架構

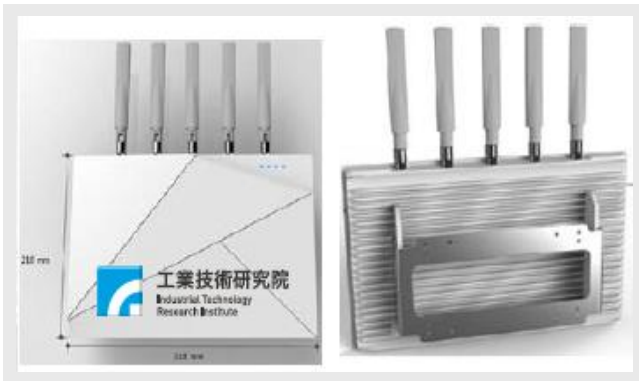


圖3 工研院4G LTE/LTE-A小型基地台



圖4 工研院4G LTE/LTE-A小型基地台硬體平台

## 2 · 5G標準技術介紹

目前3GPP標準制定組織已經開始進行5G標準的技術討論，以下將針對各個討論方向進行介紹。

### 2.1 新波形設計(New Waveform)

由於5G預期要提供新的服務及部署，然而過去4G技術所採用的正交分頻多工(Orthogonal Frequency Division Multiplexing; OFDM)技術已不敷使用，因此新波形設計就被陸續地討論來處理各種頻段上所生成的非理想效應(Non-Ideal Effects)。3GPP組織在RAN1 #86會期中決議對於增強型移動寬頻和超可靠度低延遲通訊服務，不論在上下行鏈結，新波形需要以具循環字首(Cyclic Prefix; CP)的OFDM為基礎下，能讓5G系統提供更高的頻譜使用效率。針對不同服務可能採用不同子載波間距(Subcarrier Spacing)，新波形會透過額外的數位訊號處理(例如：如圖5[12]中濾波器(Filtering)或窗型函數(Windowing))來抑制不同子載波間距所造成的外頻帶洩漏(Out-of-band; OOB)。針對不同子載波間距所對應之快速傅立葉轉換(Fast Fourier

Transform; FFT)問題也必須額外考量。另外，也希望探討一些可行的技術來有效地降低峰均功率比(Peak-to-Average Power Ratio; PAPR)，用以提升功率放大器(Power Amplifier; PA)的效率。在高頻段(>40GHz)部分，通道的非理想效應是更加嚴峻的考驗，新的波形技術需要能處理相位雜訊(Phase Noise)、都普勒損失因素(Doppler Impairments)以及低功率放大器效率(Efficiency)等問題。根據目前3GPP組織RAN1近幾個會期之討論，可能的新形態波形包含 Filtered OFDM(f-OFDM)、Filter Bank Multi-carrier (FBMC)、W-OFDM、Universal-Filtered OFDM (UFMC)、Zero-Tail DFT-OFDM、Flexible CP-OFDM等波形技術，而各種技術之功率頻譜密度(Power Spectrum Density; PSD)比較如圖6所示[13]；從圖上可看出，目前f-OFDM與FBMC等技術具有比其他波形較佳的OOB，但根據5G所應用場景，目前新波形設計上，仍然有許多關鍵問題(Key Problems)尚未處理，因此未來仍需持續關注新波形的設計。

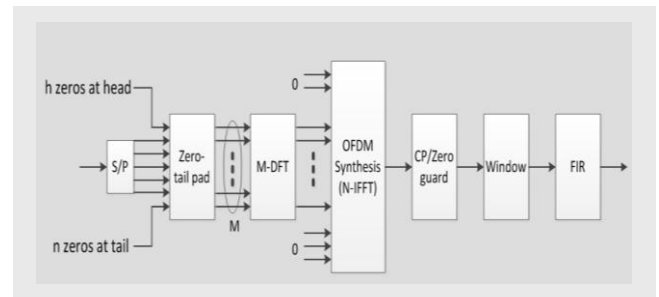


圖5 新形態波束之架構

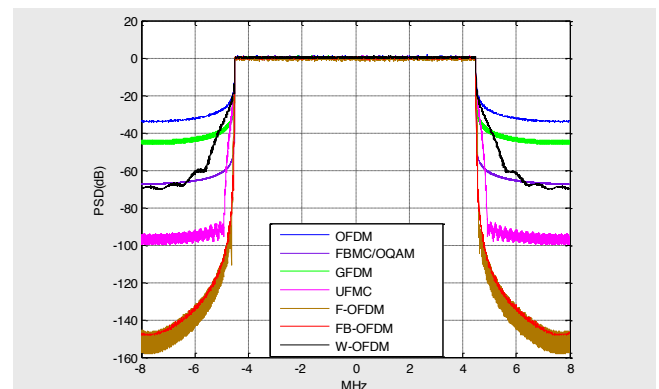


圖6 各種波形技術之功率頻譜密度比較

### 2.2 通道編碼(Channel Coding)

在通道編碼部分，3GPP組織已經在RAN1 #85會期進行各種通道編碼之解碼效能比較，而目前主要被討論到的通道編碼方式為低密度同



位元檢查碼(Low-Density Parity Check Code ; LDPC Code) · 其主要特性是同位元檢查矩陣 (Parity Check Matrix)中 · 位元1所佔的比例是比較稀疏(Sparse)的 · 圖7中表示了碼率(Code Rate)為1/2之同位元檢查矩陣；此外目前同位元檢查碼已經被許多標準所採用 · 表1中列出了IEEE 802.11n之同位元檢查矩陣參數。除此之外 · 圖8中的渦輪碼(Turbo Code) · 圖9中的去尾迴旋碼(Tail Biting Convolutional Code ; TBCC) · 與近幾年提出的極化碼(Polar Code)也已經再3GPP組織內廣泛討論。

$$\mathbf{H} = \begin{bmatrix} 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 \end{bmatrix}$$

圖7 碼率1/2之同位元檢查矩陣

表 1 IEEE 802.11n之同位元檢查矩陣參數

| Expansion Factor | Code Rate | Codeword Length | Row Weight | Column Weight | Non-zero terms |
|------------------|-----------|-----------------|------------|---------------|----------------|
| 27               | 1/2       | 648             | 7, 8       | 12, 3, 2      | 88             |
|                  | 2/3       | 648             | 11         | 8, 6, 3, 2    | 88             |
|                  | 3/4       | 648             | 14, 15     | 6, 4, 3, 2    | 88             |
|                  | 5/6       | 648             | 22         | 4, 3, 2       | 88             |
| 54               | 1/2       | 1296            | 7, 8       | 11, 4, 3, 2   | 86             |
|                  | 2/3       | 1296            | 11         | 8, 7, 3, 2    | 88             |
|                  | 3/4       | 1296            | 14, 15     | 6, 3, 2       | 88             |
|                  | 5/6       | 1296            | 21, 22     | 4, 3, 2       | 85             |
| 81               | 1/2       | 1944            | 7, 8       | 11, 4, 3, 2   | 86             |
|                  | 2/3       | 1944            | 11         | 8, 6, 3, 2    | 88             |
|                  | 3/4       | 1944            | 14, 15     | 6, 3, 2       | 85             |
|                  | 5/6       | 1944            | 19, 20     | 4, 3, 2       | 79             |

從解碼效能(Decoding Performance)比較來看 · 低密度同位元檢查碼通常具有較佳之解碼效能 · 特別是在編碼長度(Codeword Length)很長的情況下此結果特別明顯；若編碼長度很短的情況下 · 渦輪碼的效能優勢就可以顯現出來 · 但由於未來應用所需要的編碼長度都很長 · 因此在目前討論中 · 低密度同位元檢查碼還是大部分公司所主推之編碼方式。在RAN1 #86會期則是持續針對各種編碼方式來做討論 · 但這次主要是針對各種通道編碼方式的實現複雜度(Implementation Complexity)來做比較 · 並且在通道編碼在支援混合式自動重送請求(Hybrid Automatic Repeat reQuest ; HARQ)部分達成共識 · 主要內容是通道編碼技術必須支援關斯合併(Chase Combining ; CC)與及增量冗餘(Incremental Redundancy ; IR)兩種混合式自動重送請求方式 · 並且在eMBB控制通道(eMBB Control Channel)的通道編碼部分之評

估(Evaluation)方式達成協議(Agreement) · 但是針對eMBB資料通道(eMBB Data Channel)部分 · 各家公司的意見仍然分歧 · 尚未達成共識 · 並沒有特定編碼方式可以成為新無線電(New Radio)的最後標準。但根據2016年11月所舉行的RAN1 #87會期之討論結果 · eMBB資料通道部分所使用的編碼方式最後決議是由LDPC勝出 · 可能原因是但是依照目前各家公司所提出來的模擬結果可看出 · 低密度同位元檢查碼還是佔有一定的優勢；另外在eMBB控制通道部分 · 最後決議是由華為主推的極化碼勝出。通道編碼各種需求之關鍵效能指標(Key Performance Index ; KPI)如表2所示。

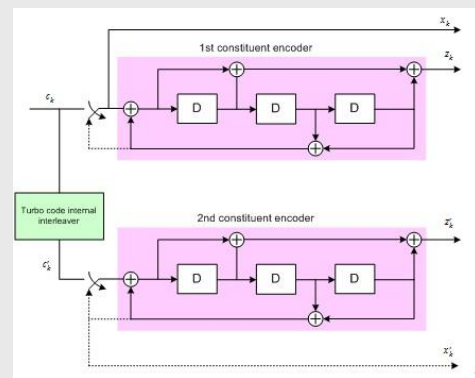


圖8 渦輪碼

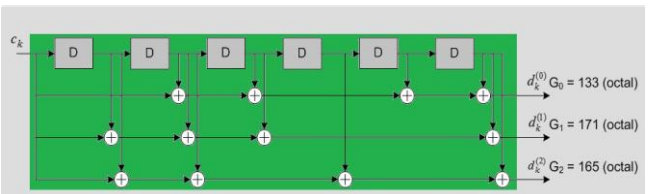


圖9 去尾迴旋碼

表 2 通道編碼各種需求之KPI

| KPI | Requirement                                                                                                                                                                                                                       | Impact to channel coding                                                                        |
|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------|
| 1   | Peak data rate<br>✓ 20 Gbps for downlink (eMBB)<br>✓ 10 Gbps for uplink (eMBB)                                                                                                                                                    | ✓ Complexity for 20 Gbps decoder                                                                |
| 2   | Reliability<br>✓ The success probability of transmitting should be $1 - 10^{-5}$ within 1 ms<br>✓ User experience data rate in the order of 300 Mbps for eHealth surgical robots operating mainly in very deep indoor environment | ✓ Coding performance to achieve transport block error rate at least equal to $10^{-5}$ or lower |
| 3   | Coverage<br>✓ [X bps] at max coupling loss [164 dB]<br>For extreme coverage: Data services up to [2 Mbps] for stationary and up to [384 Kbps] for moving, assuming [100 km]                                                       | ✓ Coding performance at low signal-to-noise ratio (SNR)                                         |
| 4   | UE battery life<br>✓ The target for the UE battery should be [15 years] for mMTC<br>✓ Control plane latency: 10 ms                                                                                                                | ✓ Decoding with low power consumption                                                           |
| 5   | Latency<br>✓ User plane latency: 4 ms for eMBB UL/DL, 0.5 ms for URLLC UL/DL                                                                                                                                                      | ✓ Encoding/Decoding with low latency                                                            |

### 2.3 調變技術(Modulation)

在調變的討論部分 · 從各家公司所提出來

的提案 (Proposal) 可看出目前主要有兩大方向，一個方向之訴求是要延用原本LTE的調變方式，並且針對未來高階(High-Order)調變方式的可能性再進一步做專研，例如1024-QAM調變技術的可能性討論；另一可能方向是使用特定的編碼方式，如編碼調變(Coded Modulation)、空間調變(Spatial Modulation)、非均勻QAM編碼(Non-uniform QAM Modulation)、結合多輸入多輸出技術之高階調變技術(Higher Order Modulation in Conjunction with MIMO)、子載波間之調變技術(Constellation Mapping among Subcarriers)等不同於現有LTE標準的調變方式。

### 3. 關鍵元件需求分析

在通訊系統中，不同運算模組所需的運算量皆不同，而主要的運算模組(Computation Module)包含了快速傅利葉/反傅利葉轉換、通道解碼器(渦輪碼解碼器(Turbo Decoder)、低密度同位元檢查碼解碼器(LDPC Decoder)、腓特比解碼器(Viterbi Decoder)、多輸入多輸出偵測器(Multiple input Multiple Output Detector ; MIMO Detector)、通道估測器(Channel Estimator)等關鍵元件，而不同模組於不同硬體所需的運算資源也有所差異。表3中呈現了通訊關鍵模組於Xilinx現場可程式邏輯門陣列(Field-programmable Gate Array ; FPGA)中所需要的資源分析。從表中可以清楚得看出，不同模組所需的運算資源皆有所不同，而通訊系統中主要的運算模組為通道解碼器，因為其消耗了許多的資源來運算，根據目前的3GPP之標準制定趨勢，目前較有可能之通道編碼器為低密度同位元檢查碼或渦輪碼，但這兩種解碼器所需消耗的硬體資源皆相當龐大，因此後續在5G硬體架構上勢必要搭配硬體加速器(Hardware Accelerator)來實現這些關鍵模組。

表4與表5中呈現了多輸入多輸出偵測器與低密度同位元檢查碼之圖形處理器(Graphic Processing Unit ; GPU)運算所需時間。從表4中可清楚看出，多輸入多輸出偵測器若利用CPU來做運算，其所需消耗的時間會比單純使用GPU來做運算來的差，這是由於若利用GPU運算，如果是屬於規則運算，則GPU處理之效果會比傳統利用通用型(General Purpose)中央處理器來的佳。最後表5中也呈現了低密度同位元檢查碼之GPU運算時間分析，從表上可清楚得看出，利用不同的GPU所需的運算時間皆有所

不同，並且要針對特定的GPU做優化才能夠得到較佳的運算時間。

表 3 Xilinx IP關鍵元件資源分析

| IP Components            | Device   | Fmax (MHz) | LUTs          | FFs   | Throughput                                                         |
|--------------------------|----------|------------|---------------|-------|--------------------------------------------------------------------|
| FFT                      | xc7k160t | 369        | 4946 (4.9%)   | 9056  | ~ 21us @350MHz (2048-point FFT: 7316 cycle)                        |
| Turbo decoder            | xc7k160t | 358        | 29020 (29%)   | 39596 | ~ 155 Mb/s @307.2 MHz (8DU, 8 iterations)                          |
| Viterbi decoder          | xc7k160t | 292        | 2158 (2%)     | 1711  | ~ 1.5Mbps @292MHz (201 cycle/bit)                                  |
| MIMO Decoder             | xc7k160t | 380        | 3434 (3.4%)   | 4587  | ~ 219us @307.2 MHz (67200 cycles/subframe)                         |
| Channel Estimator        | xc7k160t | 297        | 6243 (6.2%)   | 6404  | ~ 60.22 $\mu$ s @ 245.76 MHz (100RS=> 14800 cycles, once per slot) |
| F-LDPC Encoder/Decoder V | XC7K355T | 205        | 49142 (48.5%) | -     | 400 Mbps (16 decoding iterations)                                  |
| Total                    |          |            | 94943 (93.6%) | 61354 |                                                                    |

表 4 多輸入多輸出偵測器之運算時間分析

| Time (ms) | Bandwidth (MHz) | CPU (ms) | GPU Sync (ms) | GPU Async (ms) |
|-----------|-----------------|----------|---------------|----------------|
| 10        | 5               | 19.94    | 2.67          | 1.6            |
|           | 10              | 39.92    | 4.26          | 2.89           |
|           | 15              | 59.79    | 5.95          | 4.19           |
|           | 20              | 92.44    | 7.73          | 5.37           |
| 20        | 5               | 39.92    | 4.26          | 2.89           |
|           | 10              | 79.8     | 7.64          | 5.37           |
|           | 15              | 119.23   | 11.1          | 8              |
|           | 20              | 184.68   | 14.48         | 10.53          |

表 5 低密度同位元檢查碼之GPU運算時間分析

| Code (n,k)    | # of iterations | GTX 8800 | GTX 660 |
|---------------|-----------------|----------|---------|
| (4000,2000)   | 10              | -        | 37.7    |
|               | 50              | -        | 9.6     |
| (4896,2448)   | 10              | 31.9     | 44.5    |
|               | 50              | 7.7      | 9.9     |
| (8000,4000)   | 10              | 40.4     | 71.3    |
|               | 50              | 10.1     | 17.7    |
| (20000,10000) | 10              | 40.1     | 79.1    |
|               | 50              | 9.5      | 18.9    |

## 4 · 5G硬體平台分析

此部分將討論未來可能之5G系統平台之硬體成本與功率消耗。根據上一節之分析，未來關鍵元件的資源需求量越來越高，因此必須要使用新的架構來處理未來5G之系統平台。根據目前之評估，Intel x86系統之中央處理器(Central Processing Unit; CPU)之運算量已經可以足夠應付通訊運算之需求，目前文獻上已有相關利用Intel CPU實現LTE系統之相關討論[14]-[18]，可見未來此方向將是可能之5G架構。表6中呈現了一般版本與高階版本之Intel Core i7 CPU之比較，從表上可看出，針對不同的需求，就可以選擇不同之Intel Core i7 CPU；例如若要高效能(High Performance)版本之運算，就可以選擇Intel Core i7-6800K系列之CPU來當運算處理單元，但若需要使用低功率消耗(Low Power)的版本，就可以改選擇Intel Core i7-6700T系列的處理器。

表 6 Intel x86 CPU之比較(一般與高階版)

| 產品名稱                                                        | 推出日期  | Base Clock | 核心數量 | Cache | TDP(Thermal Design Power) | Price               | PCI Express 總線數量上限 |
|-------------------------------------------------------------|-------|------------|------|-------|---------------------------|---------------------|--------------------|
| <b>Normal</b>                                               |       |            |      |       |                           |                     |                    |
| Intel® Core™ i7-6785R Processor (8M Cache, up to 3.90 GHz)  | Q2'16 | 3.3G       | 4    | 8M    | 65W                       | N/A                 | 16                 |
| Intel® Core™ i7-6700K Processor (8M Cache, up to 4.20 GHz)  | Q3'15 | 4G         | 4    | 8M    | 91W                       | \$339.00 - \$350.00 | 16                 |
| Intel® Core™ i7-6700T Processor (8M Cache, up to 3.00 GHz)  | Q3'15 | 2.8G       | 4    | 8M    | 35W                       | \$303.00            | 16                 |
| Intel® Core™ i7-6700 Processor (8M Cache, up to 4.00 GHz)   | Q3'15 | 3.4G       | 4    | 8M    | 65W                       | \$303.00 - \$312.00 | 16                 |
| <b>High End</b>                                             |       |            |      |       |                           |                     |                    |
| Intel® Core™ i7-6800K Processor (15M Cache, up to 3.60 GHz) | Q2'16 | 3.4G       | 6    | 15M   | 140W                      | \$434.00 - \$441.00 | 28                 |
| Intel® Core™ i7-5820K Processor (15M Cache, up to 3.60 GHz) | Q3'14 | 3.4G       | 6    | 15M   | 140W                      | \$389.00 - \$396.00 | 28                 |

另外表7中呈現了伺服器(Server)與嵌入式(Embedded)版之Intel Core i7 CPU比較，從表中可看出，若需要超高效能的運算，Intel Xeon Processor E5-1630系列則可列入考量，但是其功率消耗達到了140W，因此也需要搭配週邊散熱設計來完成此平台架構；另一方面，若是針對嵌入式系統的設計Intel Core i7-6822EQ系列則可滿足此需求。從上述之Intel各種版本CPU之分析可得知，不同需求可選用不同功能的CPU來做運算，因此以下我們將我們未來所需要的硬體平台分成高階應用(High-end Application)、中階應用(Medium-end Application)、與低階(Low-end Application)三個版本，三個版本相對應之硬體成本與功率消耗

如表8、表9、與表10所示。表8中呈現高階版本由Intel Xeon E5-1630v4 CPU所組成，並且搭配MSI X99A SLI Plus之主機板(Motherboard)與DDR4-2133記憶體與固態硬碟(Solid State Disk; SSD)；此版本主要是針對超高效能等級需求之硬體架構，但其總功耗也大約在447瓦(搭配4個16x之PCIe插槽與1個1x之PCIe插槽)，因此散熱在此處是另外一個必須要被解決的問題；此處PCIe插槽之功用主要是給現場可程式邏輯門陣列硬體加速器、10 Gigabit乙太(Ethernet)網路卡、或圖形處理器所使用。此處所提到的硬體加速器主要是執行第三部分所提到的通道編碼器與其他關鍵模組。最後從表9與表10中可看到，中階版本與低階版本則分別會使用Intel Core i7-6700K與Intel Core i7-6700T CPU來使用，並且搭配對應之主機板來組合呈硬體平台，並且提供不同應用需求來使用。

表 7 Intel x86 CPU之比較(伺服器與嵌入式版)

| 產品名稱                                                        | 推出日期  | Base Clock | 核心數量 | Cache | TDP(Thermal Design Power) | Price               | PCI Express 總線數量上限 |
|-------------------------------------------------------------|-------|------------|------|-------|---------------------------|---------------------|--------------------|
| <b>Server</b>                                               |       |            |      |       |                           |                     |                    |
| Intel® Xeon® Processor E5-1620 v4 (10M Cache, 3.50 GHz)     | Q2'16 | 3.5G       | 4    | 10M   | 140W                      | \$294.00 - \$297.00 | 40                 |
| Intel® Xeon® Processor E5-1630 v4 (10M Cache, 3.70 GHz)     | Q2'16 | 3.7G       | 4    | 10M   | 140W                      | \$406.00            | 40                 |
| Intel® Xeon® Processor E5-2609 v4 (20M Cache, 1.70 GHz)     | Q1'16 | 1.7G       | 8    | 20M   | 85W                       | \$306.00 - \$310.00 | 40                 |
| Intel® Xeon® Processor E5-2620 v4 (20M Cache, 2.10 GHz)     | Q1'16 | 2.1G       | 8    | 20M   | 85W                       | \$417.00            | 40                 |
| <b>Embedded</b>                                             |       |            |      |       |                           |                     |                    |
| Intel® Core™ i7-6822EQ Processor (8M Cache, up to 2.80 GHz) | Q4'15 | 2G         | 4    | 8M    | 25W                       | \$378.00            | 16                 |

表 8 高階Intel x86系統成本與功率消耗比較

|                    | Specification        | Cost  | Total Power                                                                                              |
|--------------------|----------------------|-------|----------------------------------------------------------------------------------------------------------|
| <b>CPU</b>         | Intel Xeon E5-1630v4 | \$430 | ~447W (4 PCIe(16x) & 1 PCIe(1x))<br>~394W (3 PCIe(16x) & 2 PCIe(1x))<br>~341W (2 PCIe(16x) & 3 PCIe(1x)) |
| <b>Motherboard</b> | MSI X99A SLI PLUS    | \$330 |                                                                                                          |
| <b>Memory</b>      | DDR4 2133 64G        | \$292 |                                                                                                          |
| <b>Disk</b>        | Transcend SSD 1TB    | \$356 |                                                                                                          |



表 9 中階Intel x86系統成本與功率消耗比較

|             | Specification               | Cost  | Total Power                                                                                              |
|-------------|-----------------------------|-------|----------------------------------------------------------------------------------------------------------|
| CPU         | Intel Core™ i7-6700K        | \$350 | ~345W (3 PCIe(16x) & 1 PCIe(1x))<br>~280W (2 PCIe(16x) & 1 PCIe(1x))<br>~227W (1 PCIe(16x) & 2 PCIe(1x)) |
| Motherboard | MSI Z170A GAMING PRO CARBON | \$186 |                                                                                                          |
| Memory      | DDR4-2133 32G               | \$146 |                                                                                                          |
| Disk        | Transcend SSD 512GB         | \$163 |                                                                                                          |

表 10 低階Intel x86系統成本與功率消耗比較

|             | Specification        | Cost  | Total Power                                                                                              |
|-------------|----------------------|-------|----------------------------------------------------------------------------------------------------------|
| CPU         | Intel Core™ i7-6700T | \$303 | ~183W (1 PCIe(16x) & 3 PCIe(1x))<br>~171W (1 PCIe(16x) & 2 PCIe(1x))<br>~159W (1 PCIe(16x) & 1 PCIe(1x)) |
| Motherboard | MSI H110M PRO-VHL    | \$76  |                                                                                                          |
| Memory      | DDR4-2133 16G        | \$73  |                                                                                                          |
| Disk        | Transcend SSD 256GB  | \$86  |                                                                                                          |

## 5 . 結論

本論文中首先介紹了目前第三代合作夥伴計劃組織3GPP在5G標準目前之制定進度與趨勢，如新型態波束技術、通道編碼技術與調變技術，並且說明了後續5G系統可能所需使用到的關鍵模組；接下來文中針對關鍵元件進行資源需求分析，其中包含了快速傅利葉/反傅利葉轉換、通道解碼器(渦輪碼解碼器、低密度同位元檢查碼解碼器、腓特比解碼器)、多輸入多輸出偵測器、通道估測器等關鍵元件，並且也對各種關鍵元件之運算需求進行整體考量並提出高階、中階、低階三種可能之硬體平台，此外亦分析此平台之硬體成本與功率消耗。此處所提出之三種硬體平台可提供後續5G小型基地台開發當評估參考，但由於目前5G標準尚未完全制定完畢，目前只能針對各技術趨勢做先前硬體平台評估，完整之硬體平台必須要等5G標準完成制定之後才能夠確定，因此後續將會持續關注標準制定走向。

## 參考文獻

[1] 3GPP, TS36.211 (V8.5.0), "Evolved

Universal Terrestrial Radio Access (E-UTRA); Physical Channels and Modulation".

[2] 3GPP, TS36.212 (V8.0.0), "Evolved Universal Terrestrial Radio Access (E-UTRA); Multiplexing and Coding".

[3] 3GPP, TS36.213 (V8.0.0), "Evolved Universal Terrestrial Radio Access (E-UTRA); Physical Layer Procedures".

[4] E. Dahlman, S. Parkvall, J. Skold, and P. Beming, 3G Evolution: HSDPA and LTE for Mobile Broadband. Academic Press, Jul. 2007.

[5] Sadayuki Abeta, "Toward LTE Commercial Launch and Future Plan for LTE Enhancements (LTE-Advanced)", IEEE Conference on Communication Systems (ICCS), 2010.

[6] F. Boccardi, R.W. Heath, A. Lozano, T. L. Marzetta, and P. Popovski, "Five disruptive technology directions for 5G," IEEE Commun. Mag., vol. 52, no. 2, pp. 74-80, Feb. 2014.

[7] T. L. Marzetta, "Massive MIMO: An Introduction," Bell Labs Technical Journal, vol. 20, pp. 11-55, 2015.

[8] E. G. Larsson, O. Edfors, F. Tufvesson, and T. L. Marzetta, "Massive MIMO for Next Generation Wireless Systems," IEEE Magazine, pp. 186-195, Feb. 2014.

[9] C. Shepard, H. Yu, N. Anand, and L. E. Li, "Argos: Practical Many Antenna Base Stations," in Proc. ACM Workshop on Mobile Commun. (MobCom), Aug. 2012.

[10] L. Lu, G. Y. Li, A. L. Swindlehurst, A. Ashikhmin, and R. Zhang, "An Overview of Massive MIMO: Benefits and Challenges," IEEE Journal of Sel. Topics in Signal Process., vol. 8, no. 5, pp. 742-758, Oct. 2014.

[11] [http://www.tnst.org.tw/ezcatfiles/cust/img/img/20150608/PDF/20150608\\_cp32.pdf](http://www.tnst.org.tw/ezcatfiles/cust/img/img/20150608/PDF/20150608_cp32.pdf)

- [12] 3GPP R1-162199 “Waveform Candidates”, Qualcomm, Apr. 2016.
- [13] 3GPP R1-162225 “Discussion on New Waveform for New Radio Interface”, ZTE, Apr. 2016.
- [14] Z. Chen and J. Wu, "LTE Physical Layer Implementation based on GPP Multi-core Parallel Processing and USRP Platform", International Conference on Communications and Networking in China (CHINACOM), 2014.
- [15] K. Niu, J. Sun, and Z. He, " LTE eNodeB Prototype based on GPP Platform", International Conference on Globecom Workshops (GC Wkshps), 2012.
- [16] K. Niu, J. Sun, and K. Chen, "TD-LTE eNodeB Prototype using General Purpose Processor", International Communications and Networking in China (CHINACOM), 2013.
- [17] B. Guan, X. Huang, and G. Wu, "A Pooling Prototype for the LTE MAC Layer Based on a GPP Platform", IEEE Global Communications Conference (GLOBECOM), 2015.
- [18] P. Guo, X. Qi, and L. Xiao, "A Novel GPP-based Software-Defined Radio Architecture", International Conference on Communications and Networking in China (CHINACOM), 2012.

林敬銜



現任工業技術研究院資訊與通訊研究所(ITRI/ICL)新興無線應用技術組(Emerging Wireless Division)基頻設計部(Baseband Design Department)工程師。2015年取得國立成功大學電機工程研究所博士學位。主要負責5G系統演算法與LTE實體層設計。  
[E-mail: JingShiunLin@itri.org.tw](mailto:JingShiunLin@itri.org.tw)

劉俊男



現任工業技術研究院資訊與通訊研究所(ITRI/ICL)新興無線應用技術組(Emerging Wireless Division)基頻設計部(Baseband Design Department)副經理。2008年取得國立中央大學電機工程研究所博士學位。主要負責4G/5G小型基地台硬體平台設計。  
[E-mail: ChunnanLiu@itri.org.tw](mailto:ChunnanLiu@itri.org.tw)

魏鴻富



現任工業技術研究院資訊與通訊研究所(ITRI/ICL)新興無線應用技術組(Emerging Wireless Division)基頻設計部(Baseband Design Department)資深工程師。2000年取得國立中正大學電機工程研究所碩士學位。主要負責LTE/LTE-A實體層設計。  
[E-mail: hfwei@itri.org.tw](mailto:hfwei@itri.org.tw)

## 作者簡介

### 方士豪



現任工業技術研究院資訊與通訊研究所(ITRI/ICL)新興無線應用技術組(Emerging Wireless Division)基頻設計部(Baseband Design Department)資深工程師。2012年取得國立成功大學電機工程研究所博士學位。主要負責巨量天線系統基頻設計與LTE實體層設計。  
[E-mail: shfang@itri.org.tw](mailto:shfang@itri.org.tw)