

應用於數位儲存示波器之DC-to-5GHz可調增益放大器設計

Design of DC-to-5 GHz Variable Gain Amplifier for High Speed DSO

葉宇利 郭建男 李青峰 陳俊仁
Yu-Lee Yeh, Chien-Nan Kuo, Ching-Feng Lee, Kevin Chen

中文摘要

本論文說明如何為頻寬高達5 GHz之數位儲存示波器(Digital Storage Oscilloscope, DSO)設計其類比前端可調增益放大器，設計困難點在於DC到5 GHz的頻帶內，需要完成超寬頻及低失真設計，本論文採用Cherry-Hooper放大器架構，達成-2 dB到37 dB的可調增益範圍、頻寬內增益平坦度小於1 dB、及頻寬內二階與三階諧波失真小於40 dBc。此電路是利用TSMC 0.35 μm SiGe製程加以設計實現。

Abstract

This paper presents the design of a variable gain amplifier for the front-end circuitry of 5-GHz high-speed digital storage oscilloscopes (DSO). The design challenge includes wide bandwidth and low distortion over the frequency range from DC to 5 GHz. The Cherry-Hooper amplifier configuration is used to tackle the issues. The designed variable gain covers the range from -2 to 37 dB. The gain flatness carries out ripples less than 1 dB. The circuits are implemented in TSMC 0.35 μm SiGe technology.

關鍵詞(Key Words)

可調增益放大器(Variable Gain Amplifier ; VGA)
數位儲存示波器(Digital Storage Oscilloscopes : DSO)
回授放大器(Cherry-Hooper Amplifier)

1 · 前言

數位儲存示波器(DSO)是量測時域訊號相當重要的儀器，它將時域訊號適當放大後，藉由高速類比數位轉換器(ADC)將類比訊號轉換成數位訊號，經由處理器運算處理一些設定或觸發機制，最後顯示於螢幕上，DSO是工程師在電路設計驗證分析及除錯的基本工具之一[1]。在DSO的類比前端模組內，雖然高速ADC是最關鍵的元件之一，但將輸入訊號完整無失真的放大到ADC最佳擷取動態範圍，則有

賴於前端的寬頻可調增益放大器，這亦是DSO的設計挑戰之一。

圖1.是DSO類比前端的部分標準功能方塊，主要功能包括：放大輸入訊號、單端輸入差動輸出、及直流偏移補償等功能。高速寬頻訊號由輸入端點輸入，藉由外部離散元件電阻 R_0 設定寬頻阻抗匹配準位，訊號接著藉由高頻低寄生的封裝介面進入晶片電路中，電路第一級是一組電壓參考準位設定，系統可將操作者所需要的電壓參考準位藉由這區塊設定，接下來是將單端轉成雙端平衡訊號的BALUN，藉由訊號

的雙端平衡處理，可以降低系統產生的雜訊影響。接下來是類比前端最重要的電路功能區塊：寬頻增益可調放大電路，利用此電路可將訊號低失真的放大到適當大小，再藉由緩衝電路驅動ADC。

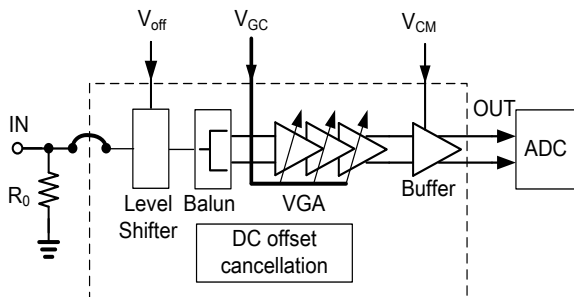


圖 1. 數位示波器類比前端功能方塊圖。

先進的高速DSO需要能夠顯示及分析高達數個GHz的數位與類比訊號[2]，對於這樣的需求，可調增益放大器的頻寬將需要從DC到數個GHz的超寬頻設計，並且在各種增益設定下皆需要達到超寬頻、低失真、高動態範圍、及高增益平坦度，這將使得可調增益放大器的設計難度提升到相當高的等級。

一般DC耦合的放大電路，通常利用運算放大器(Operational Amplifier-OP Amp)的回授機制來實現，但這種大回授響應設計，在考量穩定補償機制的限制下，很難同時實現數個GHz的頻寬及40 dB的高增益，而應用於寬頻射頻放大器的常用架構[3]，雖然很容易在數個GHz頻率操作，但卻很難達成直流耦合或極低頻的規格需求。面對這些困難挑戰，本論文參考Cherry-Hooper放大器架構，利用其小回授響應，可以避免穩定補償機制的頻寬限制，並可達成DC及低頻頻帶增益需求，本論文加上有效的增益控制機制，即可滿足系統需求DC到5 GHz超寬頻的可調增益放大器設計。

接下來章節將詳細闡述如何設計提供高速DSO應用的可調增益放大器，包括設計的系統規格考量、電路架構與原理，最後討論實現於TSMC 0.35 μm SiGe的晶片量測結果。

2 · 可調增益放大器設計考量

本論文所介紹的可調增益放大器的規格包括：操作頻寬 = DC ~ 5 GHz、頻寬內增益平坦度小於1 dB、增益可調範圍 = 40 dB、系統輸出端到ADC全幅擷取 = 200 mV。所以可調增益放大器設定在高增益時，輸入端為低振幅，而輸出端為高振幅；而可調增益放大器設定在低增益時，輸入端為高振幅，輸出端為低振幅。系統在這兩種組態下都必須維持高線性度及低失真，在此系統規範下，2階與3階諧波失真需要小於40 dBc。接下來將詳細介紹，為達到這些規格，所面臨的挑戰及設計考量。

2.1 線性度相關考量與電路設計

共射極架構是一種高增益的基本放大器操作組態，而雙載子電晶體(BJT)電流電壓是指數增益轉換，共射極放大器組態的輸入電壓(V_{be})線性範圍約為兩倍的 V_t (thermal voltage)，約為 $2 \times 25 \text{ mV} = 50 \text{ mV}$ ，對於系統所需求的200 mV是不足夠的，在射極端加上電阻是一種簡單增加輸入電壓線性範圍的方法，其電路如圖2.左所示，共射極架構加入射極電阻所形成的串接回授可以讓輸入線性範圍變大，其輸入電壓與射極電阻關係式如下

$$V_{in} \approx V_{be} + R_e I_c = V_{be} + R_e I_{so} e^{V_{be}/V_T}$$

若能將 $R_e I_c$ 的乘積設計大於150 mV，則放大器輸入線性電壓範圍將可以達到200 mV，而且乘積電壓越大可以讓操作線性失真量越小，較大的 $R_e I_c$ 值有較佳的線性失真特性，但太大的乘積量將造成較大的增益衰減，就系統特性考量，低增益狀態能接受高振幅輸入訊號，而高增益時輸入訊號有效振幅較小，利用此關係我們將增益控制、輸入線性度振幅需求，用一組可變射極電阻整合設計來符合系統特性需求，如圖2.右所示。

利用場效電晶體(MOS)在三極體區操作，等效電阻可由閘-源極電壓控制，配合固定型射極電阻做增益控制與範圍設定，其中電晶體所產生的寄生電容，將與固定型射極電阻產生一組系統的零點(ZERO)響應，若未能適當控制寄生電容與射極電阻值大小，將會影響到頻寬內增益的平坦度，以目前系統規格設定，取固定型射極電阻約110歐姆，電晶體， $l = 0.35 \mu\text{m}$ ， $w = 10 \mu\text{m}$ ，在電流源為20 mA是恰當的設計值。

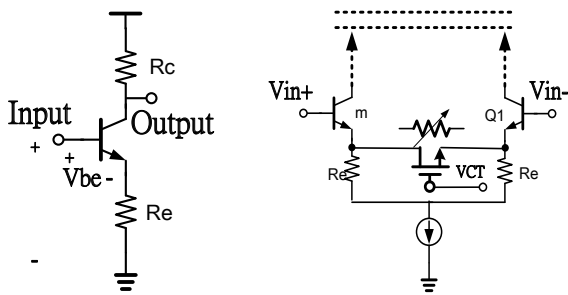


圖 2. 射極電阻共射極放大器組態與可變射極電阻增益調整電路差動組態。

2.2 頻寬5 GHz設計考量與原理

如圖2的共射極放大器結構加上射極電阻的串接回授效應，可以讓電路線性度達到規格要求，但還無法使放大器達成直流耦合或極低頻到5 GHz的頻寬操作，並維持頻寬增益與增益平坦度，從輸出負載電容與各級寄生電容將與增益集極電阻產生極點(POLE)響應，其所生成的主極點響應結果將會限定放大器頻寬操作，需要利用電路方法展延主極點的響應，才能將電路操作頻率提升到數個GHz操作，而此電路方法又需要擁有直流耦合或極低頻操作能力，才能符合系統需求。

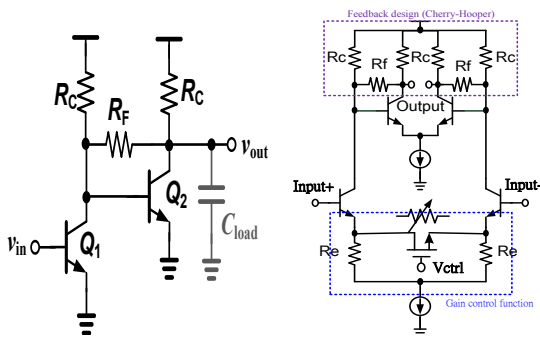


圖 3. Cherry-Hooper放大器架構與整合可變射極電阻增益調整電路Cherry-Hooper 放大器差動組態架構。

在數個GHz頻率操作的放大電路常用多階電感電容組態來做超寬頻設計[4]，但這技巧對於低頻甚至於直流耦合的操作設計相當困難，基於系統必須要操作在DC到5 GHz頻寬，Cherry-Hooper放大器架構可達到基本的需求，圖3.左是Cherry-Hooper 放大器架構，此架構是利用雙階結構設計，前級主要為增益效應，後級則是利用電阻 R_f 形成並聯回授設計，可以達

到展延主極點功效，整體增益與主極點在 R_c 遠大於 R_f 條件下，整體低頻增益可以簡化等效為 $g_{m1}R_f$ ，主極點也在回授效應展延下約等效為 $\omega_p \approx \frac{g_{m2}}{C_{load}}$ ，頻寬展延為 $f_{3dB} \approx 1/2\pi(g_{m2}/C_{load})$ 。

如圖3.右，是利用Cherry-Hooper 放大器架構，結合射極電阻的串接回授效應進行增益控制，並採用差動組態，形成單階的可調增益放大器架構，此單階架構在DC到5 GHz頻寬條件下增益大約有15 dB(模擬值)，為滿足最大37 dB的系統增益需求，本論文以串接多級單階放大器來達成(如圖4.)，目前電路是以3級與4級來設計此可調增益放大器，並達到40 dB增益可調範圍。

設計過程中，在增益條件與DC偏壓位準限定下， R_c 很難遠大於 R_f ，因此 R_c 將或多或少影響增益值與響應頻寬，所以必須進行 R_c 及 R_f 的最佳化設計，目前設計在 $R_c = 250$ 歐姆與 $R_f = 110$ 歐姆，有恰當的增益與頻寬響應。

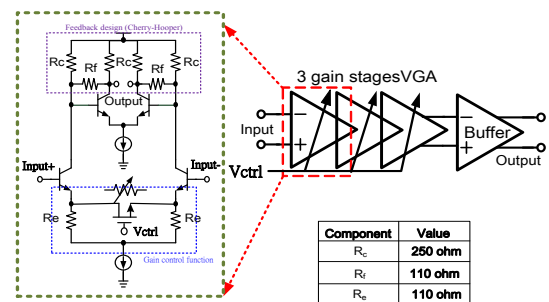


圖 4. 可調增益放大器電路架構。

2.3 諧波失真設計考量

由於DSO需要完整呈現真實的輸入訊號於螢幕上，因此對處理類比訊號時的失真程度有非常高的要求，一般以諧波失真來呈現類比訊號的失真程度，圖5.是一個正弦波訊號加入2階與3階諧波訊號，在時域的波形將顯現失真，反過來說，利用2階與3階諧波與主頻訊號能量比例可以定義失真程度，所以設計DSO的類比前端電路，諧波失真一個重要的規格，此計畫規範為40 dBc。

前節敘述線性度設計考量，輸入電壓範圍為200 mV， $R_c I_c + 2V_i$ 需要大於200 mV，但這是1 dB壓縮點為設計考量，但在進入1 dB壓

縮點時諧波失真已經大於40 dBc，所以設計需以諧波失真為設計考量加大 $R_e I_c$ 的乘積值，以符合系統需求，目前設計 $R_e=110$ 歐姆 $I_c=20$ mA為適當設計值。

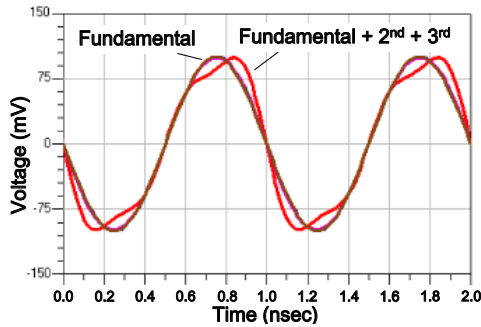


圖 5. 諧波失真時域波形比較。

在設計射極電阻時，由於射極電阻也是該電路的雜訊來源之一，所以電阻值並不能太大，射極電阻與集極電流的乘積又需要大於一定值，所以需將電流放大才能得到較佳雜訊表現，而電流較大的設計將導致DC偏壓電阻值(R_c)與操作功能性電阻值(R_f , R_e)較小，小電阻與寄生電容所產生的極、零點響應頻率也將高些，對於頻帶內的頻率響應影響較小，將有較佳的增益平坦度。

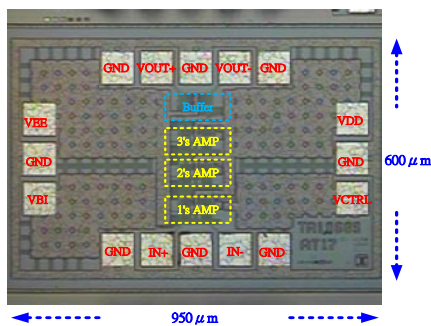


圖 6. 3階可調增益放大器晶片圖。

3. 量測結果

本文設計的可調增益放大器是以TSMC 0.35 μm SiGe BiCMOS 製程來實現，整體晶片面積主要是限制在PAD佈局，全部面積為600 μm X 950 μm 如圖6.所示，採用 ± 2.5 V電壓，消耗功率約為775 mW。

增益量測是利用射頻探針直接在晶片上進行S參數量測，以S21參數量測結果為電路增益

響應，3級串接的放大器的量測結果如圖7.所示，最大增益為31 dB，量測增益結果低於模擬，主要原因是電路上的電流較大，增益對於環境寄生電阻會有較大的衰減量，在寄生參數模擬時，低估了整體量測環境與線路寄生電阻所造成，增加放大器的串接級數將可得到更高的增益，圖8.為串接四級放大器的S21量測結果，最高增益可達到42 dB，增益控制可以藉由調整VCT電壓達成-10~42 dB控制範圍。

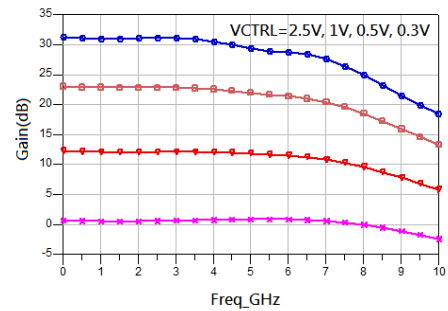


圖 7. 3級可調增益放大器S21增益量測圖。

本電路的-3 dB頻寬可達6.5 GHz，但DSO以-1 dB頻寬為系統有效頻寬，故-1 dB頻寬可達5 GHz。而頻帶內的頻率響應平坦度無法如模擬時平坦，最大抖動約為1 dB，推測是輸出緩衝與寄生產生響應造成。

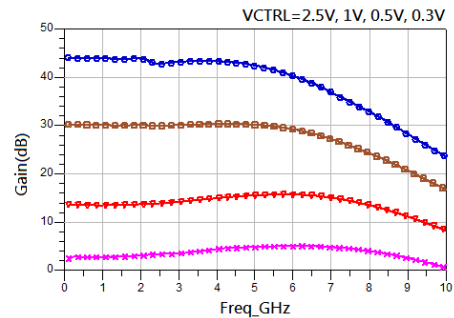


圖 8. 4級可調增益放大器S21增益量測圖。

線性度的特性驗證受限於量測儀器環境，以傳統1 dB壓縮點量測作為特性參考，得到結果為圖9，量測頻率設定為3 GHz，利用VCT電壓變化做增益控制，數據為三級放大器的量測結果，輸入1 dB壓縮點結果是-25 dBm到+7 dBm對應增益是31 dB到-4dB，以輸出飽和功率在各增益下約在3 dBm左右，換算成電壓約為300 mV。而雜訊指數的量測結果如圖10.所示，約為8~23 dB，對應增益是31 dB到-4 dB。

表1.為與近期發表相似需求電路特性比較

表，本文所設計電路在頻寬與線性度都為高規格設計，但付出代價是高功率損耗，由於所應用的載具為桌上型DSO，因此可以容許較高的功率下操作。

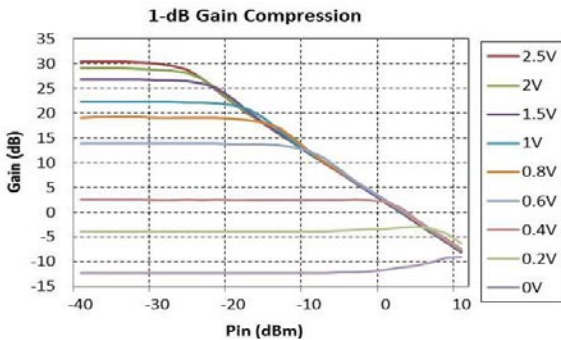


圖 9. 1dB壓縮點量測結果圖(3stages VGA)。

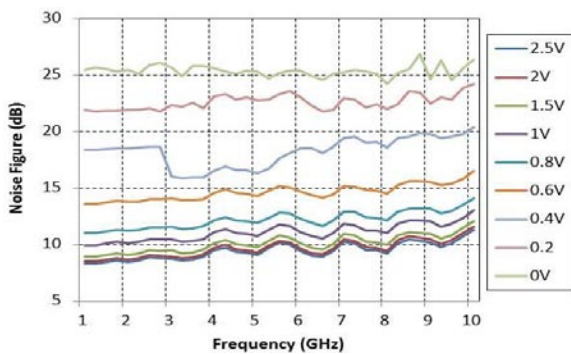


圖 10. 雜訊指數量測結果圖(3stages VGA)。

表1. 近期發表期刊相近電路特性結果比較表

	[5] 2012	[6] 2012	[7] 2013	[8] 2013	This work 3stages VGA	This work 4stages VGA
Technology	90 nm CMOS	180 nm SiGe	180 nm SiGe	180 nm SiGe	350nm SiGe	350nm SiGe
3dB Bandwidth (Hz)	0.1 M to 2.2G	5.6 G	2 M to 1.9 G	12 G to 40 G	6.5 G	5.5 G
Gain Range (dB)	-10 to 50	-16.5 to 6.5	-10.6 to 7.8	6.3 to 8.1	-10 to 30	-10 to 42
Input P _{1dB} (dBm)	-13 to -55	-17 to -27	-17 to -27	-2 to 0	-25 to 7	-38 to 5
DC Power (mW)	2.5	7.9	12.2	20.5	775	865

4. 結論

本文是探討應用於高速DSO之可調增益放大器設計，其設計挑戰在於需要設計出直流耦合的超寬頻高增益放大器，且增益平坦度需要小於1 dB，並達成高線性度及低失真的要求，本文採用Cherry-Hooper放大器架構結合射極電阻的串接回授效應做為增益控制，設計出符合高速DSO的可調增益放大器。

量測結果顯示-1 dB頻寬可達5 GHz，最高增益為42 dB(4級)，頻率響應平坦度小於1 dB，最大輸入1 dB壓縮點為+5 dBm(4級)。未來若欲將此電路應用於手持式產品時，功耗將是接下來設計挑戰重點。

參考文獻

- [1] K. Poulton, *et al.*, "A 20GS/s 8b ADC with a 1MB memory in 0.18 μ m CMOS," *IEEE Int. Solid-State Circuits Conf. Dig.* 2003, pp. 318–319.
- [2] "Agilent Technologies Infiniium 90000 X-Series oscilloscopes: data sheet," Agilent Technologies, Inc., CA. [Online]. Available: <http://www.agilent.com>.
- [3] P. Heydari, "Design and Analysis of a Performance-Optimized CMOS UWB Distributed LNA," *IEEE J. Solid-State Circuits*, vol. 42, no. 9, pp. 1892-1905, Sept. 2007.
- [4] B. Razavi, *Design of Integrated Circuits for Optical Communications*, Chap. 5, McGraw-Hill, Inc. 2003.
- [5] Y. Wang, B. Afshar, Y. Lu, V. C. Gaudet, and A. M. Niknejad, "Design of a low power, inductorless wideband variable-gain amplifier for high-speed receiver systems," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 55, no. 4, pp. 696–707, Apr. 2012.
- [6] T. B. Kumar, K. Ma, and K. S. Yeo, "A 7.9-mW, 5.6-GHz digitally controlled variable gain amplifier with linearization," *IEEE Trans. Microw. Theory Tech.*, vol. 60,

no. 11, pp. 3482–3490, Nov. 2012.

- [7] T. B. Kumar, K. Ma, and K. S. Yeo, "Temperature-Compensated dB-linear Digitally Controlled Variable Gain Amplifier with DC Offset Cancellation," *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 7, pp. 2648–2661, May. 2013.
- [8] S. P. Sah, SiQi Zhu, T. N. Nguyen, Xinmin Yu, and Deukhyoun Heo, "A 12-40 GHz low phase variation highly linear BiCMOS variable gain amplifier," *IISCAS*, pp. 1119-1122, May 2013.

陳俊仁



目前任職於工研院，為資通所前瞻混和訊號部門主管，在布里斯托大學取得電機工程博士與碩士學位。(University of Bristol, UK, in 2006.)

作者簡介

葉宇利



目前任職於工研院資通所前瞻混和訊號部，且為交大電子所郭建男老師實驗室博士班學生，國立中央大學通訊所碩士畢業，專長在於類比與射頻電路整合設計。

郭建男



目前是交通大學電子工程學系教授，為交大射頻系統整合實驗室主持人，美國加州州立大學洛杉磯分校電機工程博士，研究專長領域在無線通訊SoC/SiC系統整合、無線偵測系統、與毫米波醫學影像。

李青峰



目前任職於工研院資通所前瞻混和訊號部，國立交通大學電信工程博士。專長為類比與射頻電路設計及電磁場分析。